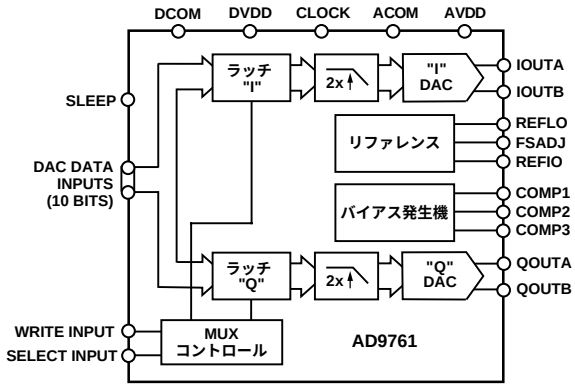
2×補間フィルタつき
デュアル10ビットTxDAC+™*

AD9761

特長

完全10ビット、40MSPS デュアル送信DAC
優れたゲイン・オフセットマッチング
微分非直線性誤差： 0.5LSB
有効ビット数： 9.5
信号対（雑音＋歪み）比： 59dB
スプリアスフリーダイナミックレンジ： 71db
２×補間フィルタ
20MSPS/チャネルデータレート
単電源： ＋2.7 V～＋5.5 V
低電力消費： 200 mW（＋3 V電源 @ 40 MSPS）
オンチップ・リファレンス
28ピン SSOP

機能のブロックダイアグラム



概要

AD9761は、完全デュアルチャネル、高速、10ビットCMOS DACである。AD9761は特に広いバンド幅を使用し、デジタルI及びQ情報が送信作業中に処理されるようなコミュニケーションアプリケーション（例：スプレッドスペクトラム）用に開発された。機器の構成は、2つの10ビット、40MSPS DAC、デュアル2×補間フィルタ、電圧レファレンス、デジタル入力インターフェース回路である。AD9761はチャネルあたり20MSPSの入力データレートをサポートしており、このレートはそれぞれのDACを同時アップデートする前に最大40MSPSまで補間される。

インターリーブされたI及びQ入力データストリームは、I及びQのラッチとその他の追加コントロールロジックより成るデジタルインターフェース回路に渡される。データはオリジナルのI及びQデータに逆インターリーブされる。チップ搭載のステートマシーンがI、Qデータのペアリングを保証している。それぞれのラッチからのデータ出力は、その後2×デジタル補間フィルタで処理される。このため復元フィルタに対する要求仕様は低減される。インターポレートされたフィルタ出力はそれぞれ10ビットDACの入力となる。

DACはグリッチエネルギーを減らし、ダイナミックアキュラシーを最大化するため、セグメントされた電流ソースアーキテクチャ及び独自のスイッチング技術を統合したものを導入している。それぞれのDACはディファレンシャル電流出力を発生し、シングルエンド又はディファレンシャルのアプリケーションをサポートしている。両方のDACは同時にアップデートされ、10 mAの公称フルスケール電流を供給する。また、双方のDAC間のフルスケール電流は0.07dB以内に（すなわち0.75%以内）なるようマッチングされており、このためゲインキャリブレーション回路が必要無くなっている。

AD9761は先進的低コストCMOSプロセスで製造されている。AD9761は2.7 V～5.5 Vシングルサプライで動作し、200 mWの電力を消費する。AD9761の優れた性能を最大に発揮するため、温度補償された内部1.20Vバンドギャップレファレンスが使用される。

製品ハイライト

1. **デュアル10ビット、40MSPS DAC：I、Q情報のフレキシブルな送信性能、低歪み性能に最適化した高性能 40MSPS DACを2基装備。**
2. **2×補間フィルタ：DAC入力前に62.5dBストップバンドリジェクションのデュアルマッチングFIR補間フィルタを装備。DACの復元フィルタ仕様要求を低減。**
3. **低電力消費：完全なCMOSデュアルDAC機能が僅か200 mW、2.7 V～5.5 Vシングルサプライで動作する。DACフルスケール電流は低電力オペレーション用に軽減する事が可能で、アイドル運転時の電力削減用スリープモードも用意されている。**
4. **チップ搭載電圧レファレンス：AD9761は1.20 Vの温度補償付きバンドギャップ電圧レファレンスを装備している。**
5. **シングル10ビットデジタル入力バス：AD9761は搭載するDACそれぞれが異なるアップデートレートを持つ事を含む色々な用途に応じられるよう、フレキシブルなデジタル入力インターフェースを装備。**
6. **小さなパッケージ：AD9761は小さな28リード線SSOPパッケージで完全な統合機能を実現。**
7. **製品ファミリー：AD9761デュアル送信DACには2つのデュアル受信ADC姉妹製品（8ビットのAD9281及び10ビットのAD9201）がある。**

***TxDAC+はAnalog Devices社の商標である。**

アナログ・デバイセズ社が提供する情報は正確で信頼できるものを期していますが、当社はその情報の利用、また利用したことにより引き起こされる第3者の特許または権利の侵害に関して一切の責任を負いません。さらにアナログ・デバイセズ社の特許または特許の権利の使用を許諾するものでもありません。

REV.0

アナログ・デバイセズ株式会社

本　　社／東京都港区海岸１－１６－１　電話03（5402）8200　〒105－6891
ニューピア竹芝サウスタワービル
大阪営業所／大阪市淀川区宮原３－５－３６　電話06（6350）6868㈹　〒532－0003
新大阪第２森ビル

AD9761—仕様

DC仕様（特に指定のない限り、T_{MIN}からT_{MAX}、AVDD＝＋5 V、DVDD＝＋5 V、I_{OUTFS}＝10 mA）

パラメータ	Min	Typ	Max	単位
レゾリューション	10			ビット
DCアキュラシー[1]				
積分直線性エラー（INL）				
T_A＝＋25℃	−1.75	±0.5	1.75	LSB
T_{MIN}からT_{MAX}	−2.75	±0.7	2.75	LSB
微分非直線性（DNL）				
T_A＝＋25℃	−1	±0.4	1.25	LSB
T_{MIN}からT_{MAX}	−1	±0.5	1.75	LSB
モノトニシティ（単調性）		定格仕様温度範囲にわたって保証		
アナログ出力				
オフセットエラー	−0.05	±0.025	0.05	FSRに対する%
DAC間のオフセットマッチング	−0.10	±0.05	0.10	FSRに対する%
ゲインエラー（内部リファレンス無し）	−5.5	±1.0	5.5	FSRに対する%
ゲインエラー（内部リファレンス有り）	−5.5	±1.0	5.5	FSRに対する%
DAC間のゲインマッチング	−1.0	±0.25	1.0	FSRに対する%
フルスケール出力電流[2]		10		mA
出力コンプライアンスレンジ	−1.0		1.25	V
出力レジスタンス		100		kΩ
出力キャパシタンス		5		pF
レファレンス出力				
レファレンス電圧	1.14	1.20	1.26	V
レファレンス出力電流[3]		100		nA
レファレンス入力				
入力コンプライアンスレンジ	0.1		1.25	V
レファレンス入力レジスタンス		1		MΩ
温度係数				
ユニポーラオフセットドリフト		0		ppm/℃
ゲインドリフト（内部リファレンス無し）		±50		ppm/℃
ゲインドリフト（内部リファレンス有り）		±140		ppm/℃
ゲインドリフトマッチング（DAC同士）		±25		ppm/℃
レファレンス電圧ドリフト		±50		ppm/℃
電源				
AVDD				
電圧範囲	2.7	5.0	5.5	V
アナログ電源電流（I_{AVDD}）		26	35	mA
DVDD				
電圧範囲	2.7	5.0	5.5	V
デジタル電源電流（5 V時）（I_{DVDD}）[4]		70	85	mA
デジタル電源電流（3 V時）（I_{DVDD}）[4]		35		mA
定格消費電力[5]				
AVDD及びDVDD（3 V時）		200	250	mW
AVDD及びDVDD（5 V時）		500	650	mW
電源除去比（PSRR）−AVDD	−0.25		0.25	FSR/Vに対する%
電源除去比（PSRR）−DVDD	−0.02		0.02	FSR/Vに対する%
動作範囲	−40		＋85	℃

注

[1] 仮想グラウンドをドライブするIOUTA及びQOUTAにて測定

[2] ノミナルフルスケール電流、IOUTFS、はI_{REF}電流の16倍

[3] 外部負荷使用時は外部アンプリファイアを使用する

[4] f_{CLOCK}＝40 MSPS及びf_{OUT}＝1 MHzで測定

[5] IOUTA、IOUTB、QOUTA、QOUTBの50ΩR_{LOAD}へバッファなし電圧出力、f_{CLOCK}＝40 MSPS及びf_{OUT}＝8 MHzで測定

仕様は予告なく変更される事がある。

ダイナミック仕様（特に指定のない限り、T_{MIN}からT_{MAX}、AVDD＝＋5 V、DVDD＝＋5 V、IOUTFS＝10 mA、差動トランス結合出力、50Ω両端終端）

パラメータ	Min	Typ	Max	単位
ダイナミックパフォーマンス				
最大出力アップデートレート	40			MSPS
出力セットリング時間（t_{ST}、0.025%まで）		35		ns
出力伝播ディレイ（t_{PD}）		55		入力クロックサイクル
グリッチインパルス		5		pV-s
出力ライズ時間（10%から90%）		2.5		ns
出力フォール時間（10%から90%）		2.5		ns
ナイキストに対するAC直線性				
信号対（雑音＋歪み）（SINAD）				
f_{OUT}＝1 MHz;CLOCK＝40 MSPS	56	59		dB
有効ビット数（ENOBs）	9.0	9.5		ビット
トータルハーモニック歪み（THD）				
f_{OUT}＝1 MHz;CLOCK＝40 MSPS		−68	−58	dB
スプリアスフリーダイナミックレンジ（SFDR）				
f_{OUT}＝1 MHz;CLOCK＝40 MSPS;10 MHzスパン	59	68		dB
チャネルアイソレーション				
f_{OUT}＝8 MHz;CLOCK＝40 MSPS;10 MHzスパン		90		dBC

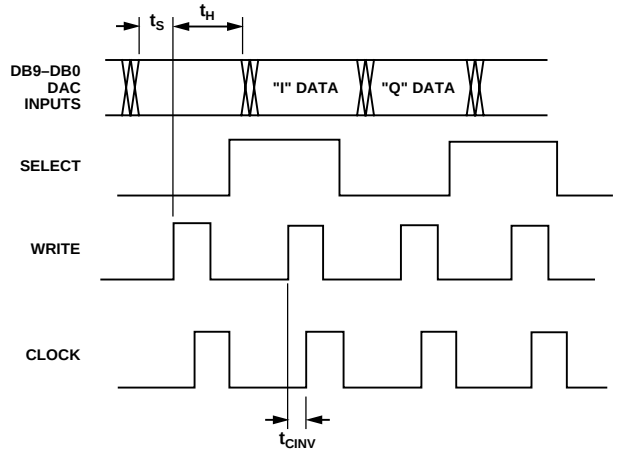
デジタル仕様（特に指定のない限り、T_{MIN}からT_{MAX}、AVDD＝＋5 V、DVDD＝＋5 V、IOUTFS＝10 mA）

パラメータ	Min	Typ	Max	単位
デジタル入力				
Logic“1”電圧@DVDD＝＋5 V	3.5	5		V
Logic“1”電圧@DVDD＝＋3 V	2.4	3		V
Logic“0”電圧@DVDD＝＋5 V		0	1.3	V
Logic“0”電圧@DVDD＝＋3 V		0	0.9	V
Logic“1”電流	−10		＋10	μA
Logic“0”電流	−10		＋10	μA
入力キャパシタンス		5		pF
入力セットアップ時間（t_S）		3		ns
入力ホールド時間（t_H）		2		ns
CLOCK高		5		ns
CLOCK低		5		ns
無効CLOCK／WRITEウィンドウ（t_{CINV}）[1]	1		5	ns

注

[1] t_{CINV}は、WRITEライジングエッジの1ns後から始まる4nsの無効ウィンドウであり、この間にクロックライジングエッジが発生してはならない。

仕様は予告なく変更される事がある。



注: WRITEとCLOCKは相互に関係づける事ができる。典型例についてはデジタル入力及びインターリーブインターフェースについての項参照のこと。

図1．タイミングダイアグラム

デジタルフィルタ仕様（特に指定のない限り、T_{MIN}からT_{MAX}、AVDD＝＋2.7 V～＋5.5 V、DVDD＝＋2.7 V～＋5.5 V、IOUTFS＝10 mA）

パラメータ	Min	Typ	Max	単位
最大入力クロックレート（f_{CLOCK}）	40			MSPS
デジタルフィルタ特性				
パスバンド幅[1]：0.005dB		0.2010		f_{OUT}/f_{CLOCK}
パスバンド幅：0.01dB		0.2025		f_{OUT}/f_{CLOCK}
パスバンド幅：0.1dB		0.2105		f_{OUT}/f_{CLOCK}
パスバンド幅：－3dB		0.239		f_{OUT}/f_{CLOCK}
直線フェーズ（FIRインプリメンテーション）				
ストップバンドリジェクション：0.3～0.7f_{CLOCK}		－62.5		dB
グループディレイ[2]		32		入力クロックサイクル
インパルス反応持続[3]				
－40dB		28		入力クロックサイクル
－60dB		40		入力クロックサイクル

注
1 DACのSINX/X特性は除外
2 定義は「インパルスの入力」と「出力レスポンスのピーク」との間のデータクロックサイクル数
3 I DACへの入力から55入力クロックピリオド、Q DACへの入力から56入力クロックピリオド。伝播ディレイとはDACアップデートへのデータ入力からのディレイ。

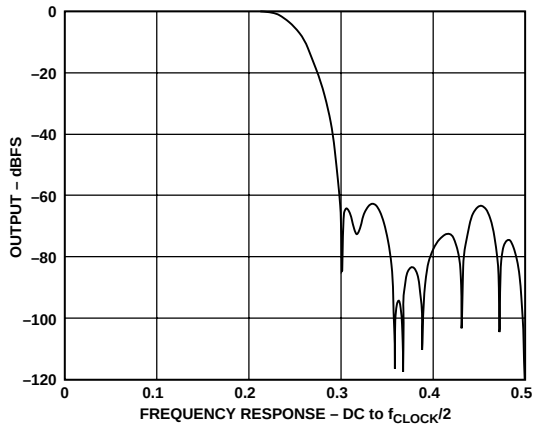


図2a．FIRフィルタ周波数レスポンス

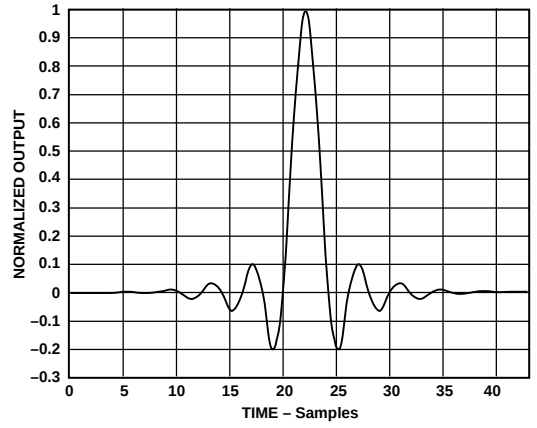


図2b．FIRフィルタインパルスレスポンス

表I．43-TapハーフバンドFIRフィルタ用整数フィルタ係数

下側係数	上側係数	整数値
H(1)	H(43)	1
H(2)	H(42)	0
H(3)	H(41)	3
H(4)	H(40)	0
H(5)	H(39)	8
H(6)	H(38)	0
H(7)	H(37)	－16
H(8)	H(36)	0
H(9)	H(35)	29
H(10)	H(34)	0
H(11)	H(33)	－50
H(12)	H(32)	0
H(13)	H(31)	81
H(14)	H(30)	0
H(15)	H(29)	－131
H(16)	H(28)	0
H(17)	H(27)	216
H(18)	H(26)	0
H(19)	H(25)	－400
H(20)	H(24)	0
H(21)	H(23)	1264
H(22)		1998

オーダー・ガイド

モデル	パッケージ内容	オプション
AD9761ARS	28-リードシュリンクスモール アウトライン（SSOP）	RS−28
AD9761-EB	評価ボード（Evaluation Board）	

温度特性

温度抵抗

28-リードSSOP

θ_{JA}＝109℃/W

絶対最大レーティング*

パラメータ	関係対象	Min	Max	単位
AVDD	ACOM	−0.3	+6.5	V
DVDD	DCOM	−0.3	+6.5	V
ACOM	DCOM	−0.3	+0.3	V
AVDD	DVDD	−6.5	+6.5	V
CLOCK、WRITE	DCOM	−0.3	DVDD+0.3	V
SELECT、SLEEP	DCOM	−0.3	DVDD+0.3	V
デジタル入力	DCOM	−0.3	DVDD+0.3	V
IOUTA、IOUTB	ACOM	−1.0	AVDD+0.3	V
QOUTA、QOUTB	ACOM	−1.0	AVDD+0.3	V
COMP1、COMP2	ACOM	−0.3	AVDD+0.3	V
COMP3	ACOM	−0.3	AVDD+0.3	V
REFIO、FSADJ	ACOM	−0.3	AVDD+0.3	V
REFLO	ACOM	−0.3	+0.3	V
ジャンクション温度			+150	℃
ストレージ温度		−65	+150	℃
リード温度（10秒）			+300	℃

* ストレスレーティングのみに適用。この値での動作や、使用方法の項に示す値以上での動作を保証するものではない。絶対最大レーティングでの使用を長時間続けると機器の信頼性を損ねるおそれが有る。

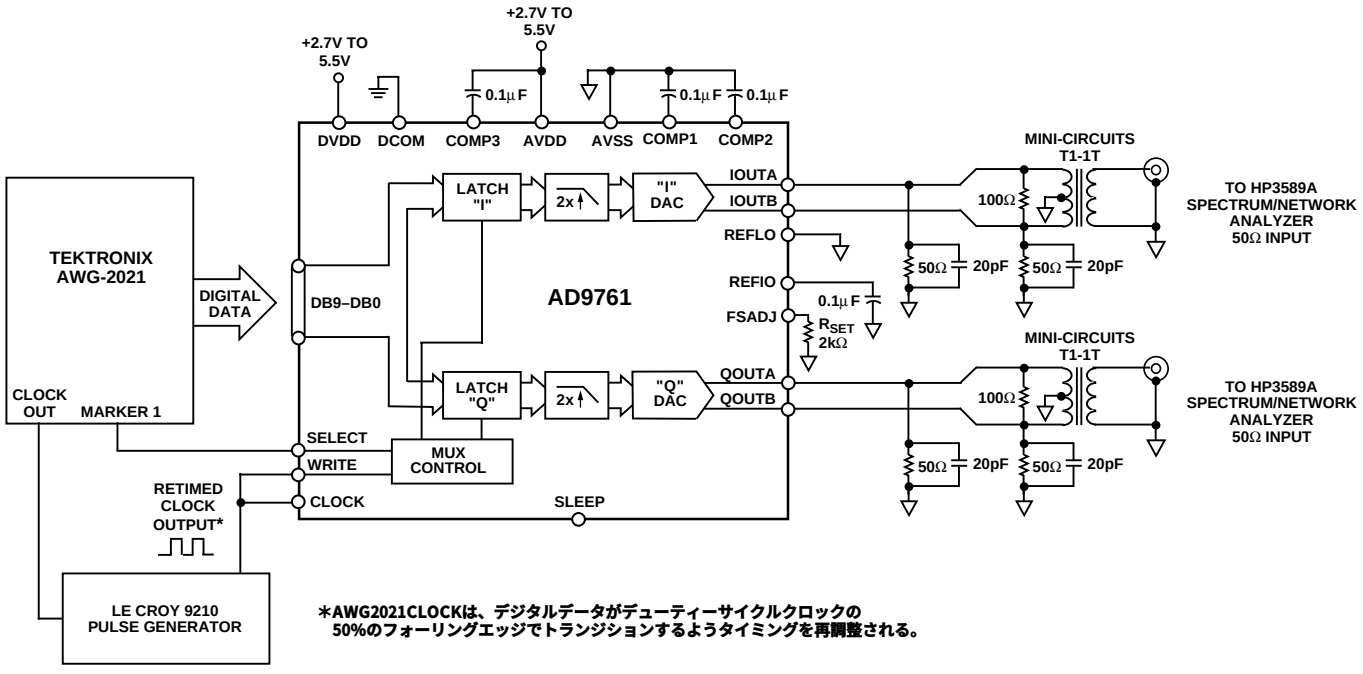


図3．基本的AC特性テストのセットアップ

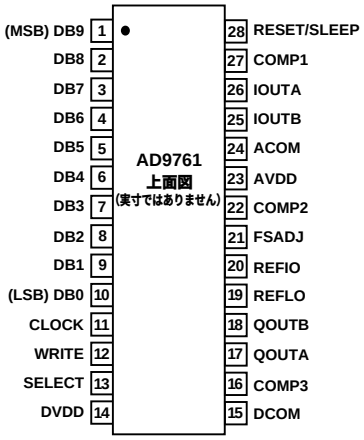
注意

ESD（静電放電）の影響を受けやすいデバイスです。4000 Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることもあります。このAD9761には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電にさらされたデバイスには回復不能な損傷が残ることもあります。したがって、性能低下や機能喪失を避けるために、適切なESD予防措置をとるようお奨めします。

ピンの機能

ピンNo.	名称	解説
1	DB9	最上位データビット（MSB）
2−9	DB8−DB1	データビット1−8
10	DB0	最下位データビット（LSB）
11	CLOCK	クロック入力。両DAC出力はクロックのポジティブエッジでアップデートし、デジタルフィルタはそれぞれ関係する入力レジスタを読む。
12	WTITE	書き込み入力。DAC入力レジスタはWRITEのポジティブエッジでラッチする。
13	SELECT	セレクト入力。I DACには高ルート入力データ、Q DACには低ルートデータを選択する。
14	DVDD	デジタル電源電圧（＋2.7～＋5.5 V）
15	DCOM	デジタルコモン
16	COMP3	スイッチドライバ回路用内部バイアスノード。0.1μFキャパシタを利用しACOMにデカップルする。
17	QOUTA	Q DAC電流出力。全データビットが1の時フルスケール電流となる。
18	QOUTB	Q DAC相補電流出力。全データビットが0の時フルスケール電流となる。
19	REFLO	内部1.2Vレファレンス使用時のレファレンス接地。内部レファレンス非動作とするにはAVDDと接続する。
20	REFIO	レファレンス入出力。内部レファレンス非動作時はレファレンス入力となる。内部レファレンス動作時は1.2Vレファレンス出力となる。内部レファレンス動作時はACOMへ0.1μFキャパシタが必要。
21	FSADJ	フルスケール電流出力アジャスト。ACOMへのレジスタンスがフルスケール出力電流をセットする。
22	COMP2	バンド幅／ノイズ軽減ノード。最大性能を引き出すにはAVDDに0.1μFを加える。
23	AVDD	アナログ電源電圧（＋2.7～＋5.5 V）
24	ACOM	アナログコモン
25	IOUTB	I DAC相補電流出力。全データビットが0の時フルスケール電流となる。
26	IOUTA	I DAC電流出力。全デービットが1の時フルスケール電流となる。
27	COMP1	スイッチドライバ回路用内部バイアスノード。0.1μFキャパシタを利用しAGNDにデカップルする。
28	RESET／SLEEP	クロックサイクル4回以上で指定する場合はパワーダウンコントロールの入力。4回未満の場合はリセットコントロールの入力。アクティブハイ。不使用時はDCOMに接続。RESET／SLEEPの項参照。

ピン配置



用語定義

直線性エラー（積分非直線性、INLとも言う）

ゼロからフルスケールまで直線的な理想的出力ラインと、実際のアナログ出力の最大差異。

微分非直線性（DNL）

デジタル入力コードの1LSBごとの変化に対応し、フルスケールに標準化した、アナログ値変動尺度。

モノトニシティ

デジタル入力が増加する時、出力が増大又は一定値を保つ場合、そのデジタル／アナログコンバータはモノトニシティである。

オフセットエラー

出力電流実測値の理想的ゼロからの差異を言う。IOUTAの場合、入力がすべて0なら理想的な出力は0 mAである。IOUTBの場合、入力がすべて1にセットされているなら理想的な出力は0 mAである。

ゲインエラー

出力スパン理想値と実側値との差異を言う。実際のスパンは、すべての入力が1の時の出力から、すべての入力が0の時の出力を差し引いて求める。

出力コンプライアンスレンジ

その時の出力DACの出力に許容される電圧範囲。許容範囲を越えて運用すると出力段の飽和または故障を引き起こす可能性が有る。この場合、動作も非直線的となる。

温度ドリフト

温度ドリフトは、室温（＋25℃）からT_{MIN}またはT_{MAX}に変化したときの値の最大変化分として定義されます。オフセットとゲイン・ドリフトについては、1℃当たりのドリフトがフルスケールレンジ（FSR）に対するppmで表されます。リファレンス・ドリフトについては、1℃当たりのドリフトがppmで表されます。

電源除去

電源電圧が公称値から最小または最大の所定電圧に変化したときのフルスケール出力における最大変化をいいます。

セットリング時間

出力トランジション開始から、出力が誤差バンド内で最終値に到達するまでの時間。

グリッチインパルス

DACにおける非対称切換え時間は、好ましくない出力の過渡状態をもたらし、グリッチ・インパルスとして定量化されます。pV-sを単位として、グリッチの正味の面積で測定されます。

チャネルアイソレーション

チャネル間クロストークの尺度。1つのチャネルにフルスケール8 MHz出力信号を発生させ、他のチャネルで漏れを測定する。

スプリアスフリーダイナミックレンジ

特定のバンド幅でのピークスプリアス信号と出力信号のrms振幅との差異をdB単位で表示したもの。

トータルハーモニック歪み

THDとは最初の6個のハーモニックコンポーネントが持つrms値の合計と、実測した出力信号のrms値との比率を%又はdBで表示したもの。

信号対（ノイズ＋歪み）率（S/N＋D，SINAD）

実測した出力信号のrms値と、Nyquist周波数未満のすべてのスペクトラルコンポーネントの持つrms値の合計との比率をdB単位で表示したもの。ハーモニックを含むがdcは含まない。

有効ビット数（ENOB）

サイン波の場合は、SINADは次の式を用いてビット数で表現できる。

$$N = (SINAD - 1.76/6.02$$

Nは有効ビット数であり、性能の尺度をこの式から得る事ができる。即ち、特定の入力周波数でのサイン波入力に於ける装置の有効ビット数は、SINADの実測値から計算で求める事ができる。

パスバンド

入力から減衰する事無くDAC出力まで通過する周波数バンド。

ストップバンドリジェクション

DACに印加されたパスバンド外周波数の減衰量で、DAC入力に印加されたパスバンド内のフルスケール信号に対する相対値。

グループディレイ

装置の入力にかけられたインパルスと、DAC出力電流ピークとの間の入力クロック数。

インパルスレスポンス

入力にかけられたインパルスに対する装置のレスポンス。

代表的なAC特性カーブ@＋5 V電源 (特に指定のない限りAVDD＝＋5 V、DVDD＝＋5 V、50Ω両端終端負荷、T_A＝＋25°C、f_{CLOCK}＝40MSPS、I又はQ出力の最低パフォーマンスを図示)

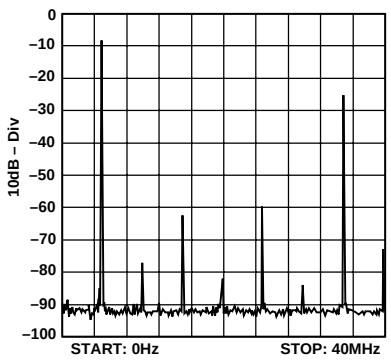


図4．シングルトーンSFDR (DC to $2f_{DATA}$、$f_{CLOCK}=2f_{DATA}$)

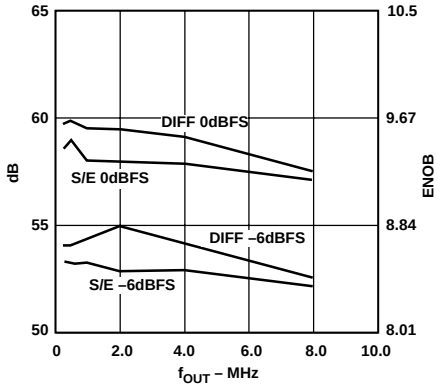


図5．SINAD (ENOBs) 対 f_{OUT} (DC to $f_{DATA}/2$)

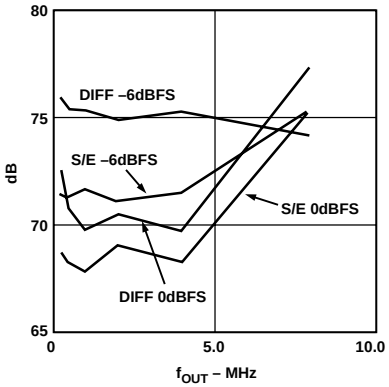


図6．SFDR対f_{OUT} (DC to $f_{DATA}/2$)

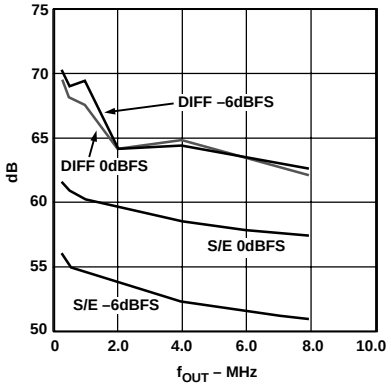


図7．バンド外SFDR対f_{OUT} ($f_{DATA}/2$ to 3/2 f_{DATA})

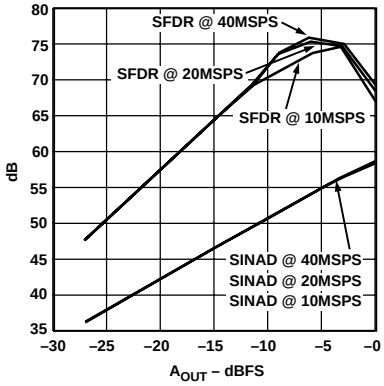


図8．SINAD対A_{OUT} (DC to $f_{DATA}/2$、ディファレンシャル出力)

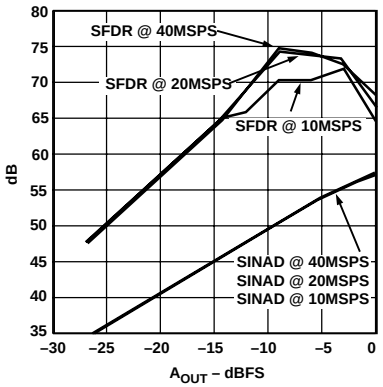


図9．SINAD対A_{OUT} (DC to $f_{DATA}/2$、シングルエンド出力)

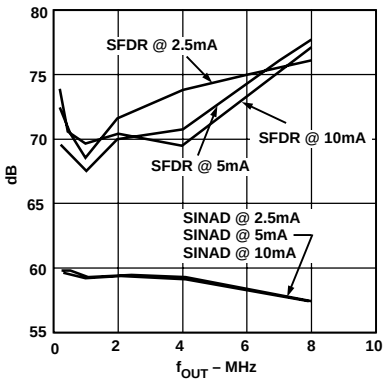


図10．SINAD／SFDR対I_{OUTFS} (DC to $f_{DATA}/2$、ディファレンシャル出力)

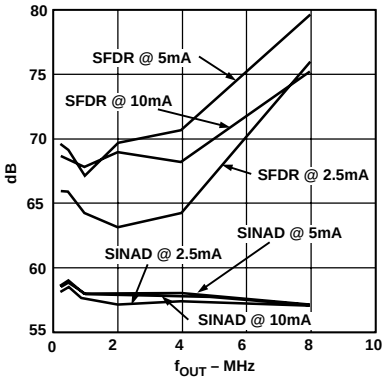


図11．SINAD／SFDR対I_{OUTFS} (DC to $f_{DATA}/2$、シングルエンド出力)

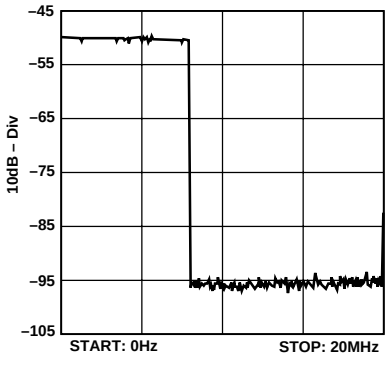


図12．ワイドバンド スプレッド スペクトラムスペクトラル プロット (DC to f_{DATA})

代表的AC特性カーブ@＋3 V電源 (特に指定のない限りAVDD＝＋3 V、DVDD＝＋3 V、50Ω両端終端負荷、T_A＝＋25°C、f_{CLOCK}＝10MSPS、I又はQ出力の最低パフォーマンスを図示)

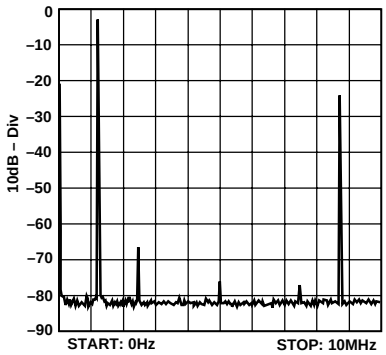


図13．シングルトーンSFDR (DC to $2f_{DATA}$、$f_{CLOCK}=2f_{DATA}$)

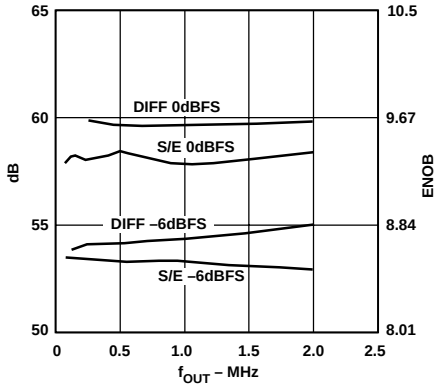


図14．SINAD (ENOBs) 対f_{OUT} (DC to $f_{DATA}/2$)

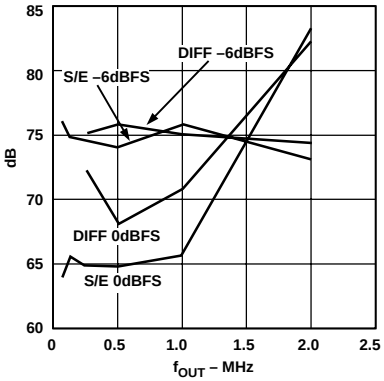


図15．SFDR対f_{OUT} (DC to $f_{DATA}/2$)

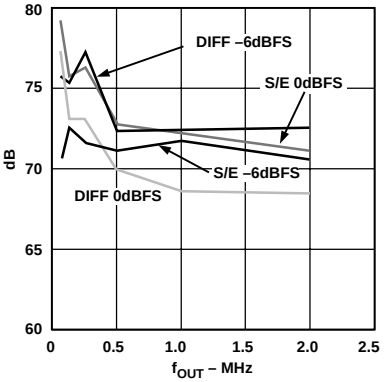


図16．バンド外SFDR対f_{OUT} ($f_{DATA}/2$ to 3/2 f_{DATA})

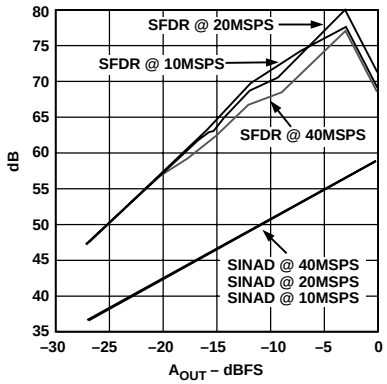


図17．SINAD対A_{OUT} (DC to $f_{DATA}/2$、ディファレンシャル出力)

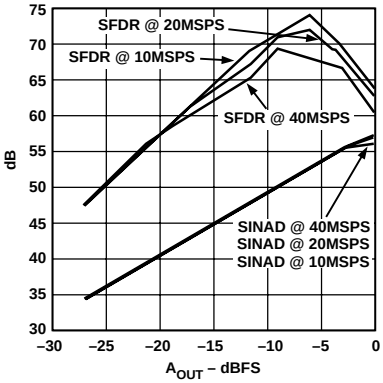


図18．SINAD対A_{OUT} (DC to $f_{DATA}/2$、シングルエンド出力)

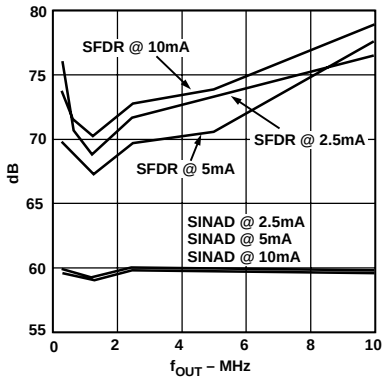


図19．SINAD／SFDR対I_{OUTFS} (DC to $f_{DATA}/2$、ディファレンシャル出力)

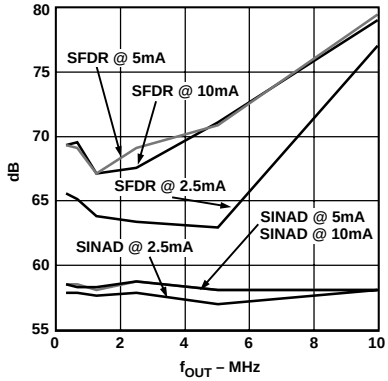


図20．SINAD／SFDR対I_{OUTFS} (DC to $f_{DATA}/2$、シングルエンド出力)

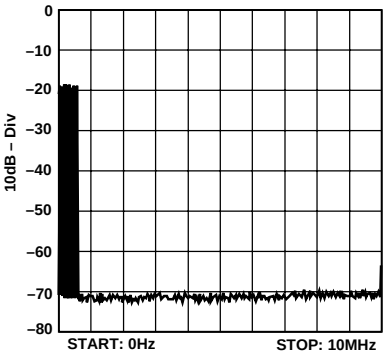


図21．ナロウバンド スプレッド スペクトラム スペクトラル プロット (DC to f_{DATA})

機能解説

図22はAD9761の機能を簡略化して図にしたものである。AD9761は完全デュアルチャネル、高速、10ビットCMOS DACで、40 MHzまでのクロックレートに対応している。システムはI、Q変調スキームを採用したワイドバンドコミュニケーションシステムの送信部用に最適化されている。チャネル間のマッチング特性が非常に優れており、余計な外部キャリブレーション回路をあまり必要としない。I、Qデータパスに取り付けられたデュアルマッチング2×補間フィルタにより、下流のバンド制限フィルタが簡単なもので済んでいる。AD9761は、インターリーブしたI、Q入力データをサポートするシングル10ビットデジタル入力バスにインターフェースする。

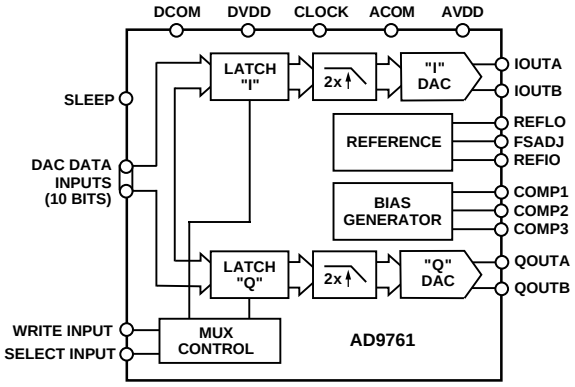


図22.デュアルDAC機能ブロックダイアグラム

図22を参照すると、AD9761はアナログ部とデジタル部とで構成されている。アナログ部の機器は、マッチングされたI、Q10ビットDAC、1.20 Vバンドギャップ電圧レファレンス、レファレンスコントロールアンプリファイアである。デジタル部の機器は、2基の2×補間フィルタ、セグメントデコーディングロジック、その他いくつかのデジタル入力インターフェース回路である。アナログ部とデジタル部の電源入力は、別個のものを使用しており（AVDDとDVDD）、どちらも2.7 Vから5.5 Vの範囲で動作する。

それぞれのDACは大容量PMOS電流ソースアレイを持ち、フルスケール電流の10 mAまで供給することができる（I_{OUTFS}）。アレイは15等分の電流に分割され、4つの最上位ビット（MSBs）を作り出す。次の4ビット、または中間ビット、も15の電流ソースから構成されるが、この値は最上位ビット電流ソースの16分の1になっている。残りの最下位ビットはこの中間ビット電流ソースを2値重み付けした端数である。これら全ての電流ソースは、PMOSディファレンシャル電流スイッチを介して、2つの出力ノードどちらか（IOUTA又はIOUTB）にスイッチされる。

DACそれぞれのフルスケール出力電流（I_{OUTFS}）は、同じ電圧レファレンスとコントロールアンプで制御されている。これによりDAC間のゲインマッチング、ドリフト特性が非常に優れたものとなっている。I_{OUTFS}は外部抵抗（R_{SET}）によって1 mAから10 mAまでの値にセットできる。レファレンスコントロールアンプと電圧レファレンス（V_{REFIO}）両方とコンビネーションを組んでいる外部抵抗がレファレンス電流（I_{REF}）をセットする。レファレンス電流は適当なスケーリングファクターで、セグメントされた電流ソースにミラーリングされている。I_{OUTFS}はI_{REF}の正確に16倍である。

I及びQ DACは、それぞれの2×補間フィルタから来るデジタルデータで、CLOCKのライジングエッジに同時にアップデートされる。2×補間フィルタは、DACの入力データレートを文字通り2倍にするが、同時にDACの元の入力データレートにおける第一イメージの大きさを小さくする働きもしている。AD9761はインターリーブされたI、Q入力データの単一10ビットデジタルバスをサポートしているので、インターポレート前のI、Q入力データレートは、クロックレートの丁度半分である。インターポレート後は、I、Q DACへのデータレートは、クロックレートと同じになっている。

補間フィルタの利点は図23を見れば明らかである。図は離散時間正弦波信号がディジタル補間フィルタを通る前後での周波数および時間領域の一例を示したものです。サイン波信号のイメージは、サンプリング理論で言われるようにDACの入力データレートの倍数近辺で現れる。この好ましからざるイメージは、DACのsin（x）/（x）レスポンスによって変調されてはいるが、復元DAC出力で再現してしまう。バンド制限アプリケーションの多くでは、このイメージはDAC下流のアナログフィルタで除去しなくてはならない。アナログフィルタをどれだけ複雑なものにするかは、希望する基本波と第一イメージがどれだけ近接しているか、また、どの程度イメージを除去しなければならないか、によって決定される。

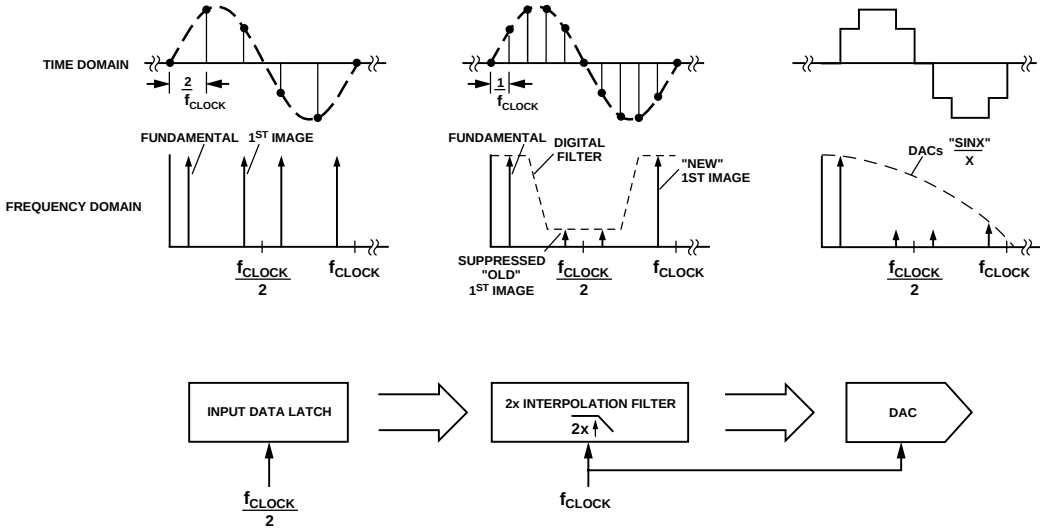


図23．時間領域、周波数領域で見たデジタル補間フィルタの機能例

図23. を見ると、補間後の高いデータレートでは、入力信号と比較してDACの「新しい」第一イメージは遠くに「押し出されて」いるのが分かる。補間前の低いデータレートでの「古い」第一イメージは、フィルタの働きによって小さくなっている。この結果、アナログ復元フィルタへのトランジションバンドは増大し、アナログフィルタの複雑化を防いでいる。

I、Qパス用のデジタル補間フィルタは、どちらも全く同じ43タップハーフバンド対称FIRフィルタである。フィルタは、逆インターリーブされたI、Qデータをデジタル入力インターフェースから受け取る。入力クロック信号は内部的に2等分され、フィルタクロックを生成する。フィルタはこのクロックレートで動作する2つのパラレルパスを持っている。それぞれのパス出力は、フィルタクロックの相反するフェーズで選択されるため、補間フィルタ出力データとしては入力クロックレートと同じレートで出力する事になる。このフィルタの周波数レスポンスとインパルスレスポンスは図2a. 図2b. に示す。表Iにフィルタのインパルスレスポンスに対応した理想的フィルタ係数をまとめている。

AD9761のデジタル部は、シングル10ビットバスからインターリーブされたI、Q入力データを受け取るためにデザインされた入力インターフェースを持っている。この部分は、I、Q入力データを逆インターリーブするとともに、2×補間フィルタのために両データのペアリングを確実にしている。SLEEP／RESET入力は、この部分のリセットをかける機能と電源断の機能を併せ持っている。詳細はデジタル入力及びインターフェースの項、SLEEP／RESETの項参照。

DAC伝達機能

I、Q DACはそれぞれ相補的な電流出力ピン（IOUT（A／B），QOUT（A／B））を備えている。QOUTAとQOUTBは、それぞれIOUTA、IOUTBと全く同じ働きをする。IOUTAは、全ビットがハイの時（例：DAC CODE＝1023）ほとんどフルスケールに近い電流出力（I_{OUTFS}）を出力し、この時、相補出力IOUTBは全く電流を発生しない。IOUTA、IOUTBの電流出力は入力コードとI_{OUTFS}によって決まり、次の式で求める事ができる。

$$I_{IOUTA} = (DAC\ CODE / 1024) \times I_{OUTFS} \quad (1)$$

$$I_{IOUTB} = (1023 - DAC\ CODE) / 1024 \times I_{OUTFS} \quad (2)$$

ここで*DAC CODE*＝0から1023（十進数）

前に述べたとおり、I_{OUTFS}はレファレンス電流I_{REF}の関数であり、I_{REF}はレファレンス電圧V_{REFIO}と外部抵抗R_{SET}から名目的に設定される。I_{OUTFS}は次のように書く事ができる。

$$I_{OUTFS} = 16 \times I_{REF} \quad (3)$$

ここで

$$I_{REF} = V_{REFIO} / R_{SET} \quad (4)$$

この2つの電流出力は通常、抵抗負荷を直接又は変圧器を経由してドライブする。dcカップリングが必要ならば、IOUTAとIOUTBは直接マッチング抵抗負荷R_{LOAD}に接続しなければならない。R_{LOAD}はアナログコモンACOMに繋がっている。R_{LOAD}はIOUTAとIOUTBから見た等価な負荷抵抗を現わしている事に注意が必要である。IOUTAとIOUTBピンに現れるシングルエンドの電圧出力は、単純に次の式で求まる。

$$V_{IOUTA} = I_{IOUTA} \times R_{LOAD} \quad (5)$$

$$V_{IOUTB} = I_{IOUTB} \times R_{LOAD} \quad (6)$$

V_{IOUTA}及びV_{IOUTB}のフルスケール値は仕様にある出力コンプライアンスレンジを逸脱しないよう注意が必要である。これを越えると歪み及び直線性性能に影響が出る。

IOUTAとIOUTBの間に現れる差動電圧V_{IDIFF}は次の式で求まる。

$$V_{IDIFF} = (I_{IOUTA} - I_{IOUTB}) \times R_{LOAD} \quad (7)$$

I_{IOUTA}、I_{IOUTB}、I_{REF}を代入するとV_{IDIFF}は次のようにも現わす事ができる。

$$V_{IDIFF} = \{(2\ DAC\ CODE - 1023) / 1024\} \times (16\ R_{LOAD}/R_{SET}) \times V_{REFIO} \quad (8)$$

この最後の2つの等式がAD9761をディファレンシャルで使用するアドバンテージの一部を示している。まず、ディファレンシャル動作はI_{IOUTA}、I_{IOUTB}と関係するノイズや歪みなどのコモンモードエラーソースを相殺する。また、ディファレンシャルコード依存の電流とそれに伴う電圧V_{IDIFF}は、シングルエンドの電圧出力（V_{IOUTA}、V_{IOUTB}）に比べ2倍の値となり、負荷へ供給される信号も2倍の強さとする事ができる。

レファレンスの動作

AD9761は内部に1.20 Vバンドギャップレファレンスを持っている。これは必要に応じ、動作を無効にして外部レファレンスと切り替える事が簡単にできる。REFIOは、使用されているのが内部レファレンスか、外部レファレンスかに応じて、入力或いは出力として働く。REFLOが図24. のようにACOMに繋がっている時は、内部レファレンスが有効でREFIOは1.20Vを出力している。この場合、内部レファレンスはREFIOからREFLOの間で0.1μF以上のセラミックチップキャパシタを使って外部的にフィルタしなければならない。また、REFIOは、もし外部負荷が更に必要な場合は、低入力バイアス電流を持った（1μA未満の）外部アンプを使用してバッファを取らなければならない。

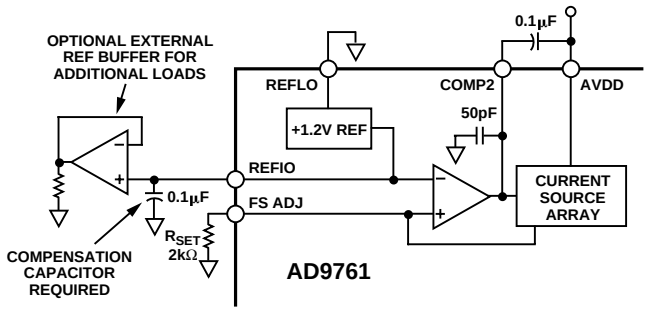


図24.内部レファレンスコンフィギュレーション

内部レファレンスは、REFLOをAVDDに接続することでも無効にする事ができる。この場合、図25. のように外部レファレンスをREFIOに接続する事になる。外部レファレンスは、精度とドリフト性能を向上するには固定電圧、ゲインコントロールの為には可変電圧を供給すると良い。この場合、内蔵リファレンスがディセーブルされ、REFIOの高い入力インピーダンス（たとえば1 MΩ）が外付けリファレンスの負荷を最小化するので、0.1μFの補償キャパシタは不要になる。

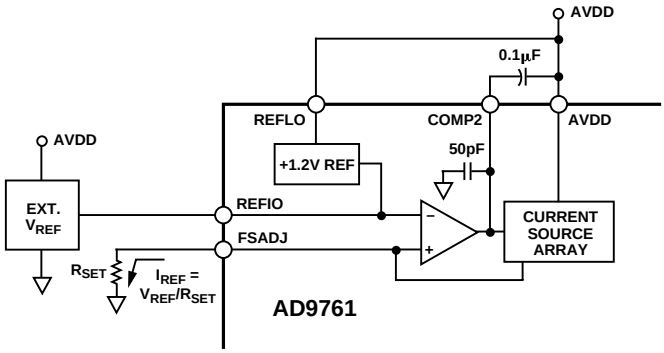


図25．外部レファレンスコンフィギュレーション

レファレンスコントロールアンプ

AD9761は、両方のDACのフルスケール出力電流I_{OUTFS}を同時に制御するコントロールアンプも内部に持っている。I、QのI_{OUTFS}は、同じ電圧レファレンス及びコントロール回路から引き出されているため、ゲインマッチングについては非常に優れていると保証できる。コントロールアンプは図25.に示すようにV−Iコンバーターを構成しており、その電流出力I_{REF}は(4)の等式に示したとおりV_{REFIO}と外部抵抗R_{SET}の比によって決定される。I_{REF}は、等式(3)に示したようにI_{OUTFS}を決定するスケーリングファクターと共に、セグメントされた電流ソースにコピーされる。

コントロールアンプは、I_{REF}を62.5 µAから625 µAまで変えることによって、I_{OUTFS}を1 mAから10 mAまでという広い(10対1)調整スパンを実現している。I_{OUTFS}の調整スパンが広い事は、アプリケーションにとって大きな利点がいくつか有る。まず第一に、AD9761のアナログ供給電力(AVDD)消費に直接関係する。消費電力はI_{OUTFS}に比例するからである。(電力消費の項参照)第二に、20dBの調整スパンと関係する。これはシステムゲインをコントロールする為に重要な利点である。

AD9761の最良ノイズ、ダイナミックパフォーマンスは、COMP2とAVDD間に0.1 µF外部キャパシタを挿入することで得られる。0.1 µFのキャパシタをつなぐことでレファレンスコントロールアンプのバンド幅は約5 kHzに制限される。−3dBのバンド幅はドミナントポールに、したがってそのドミナント時定数に対応しているので、ステップリファレンス入力応答に対するコントロールアンプのセットリング時間は容易に決められる。コントロールアンプの出力COMP2は、50pFキャパシタで内部補償されており、外部キャパシタの追加無しにその安定性が確保されている。

アプリケーションの要求が有れば、I_{REF}は調整可能である。方法は、R_{SET}を変化させるか、或いは外部レファレンスモードの場合はREFIO電圧を変化させることによる。I_{REF}は、固定したR_{SET}に対しても、内部レファレンスを無効にした上でREFIOの電圧をコンプライアンスレンジで1.25 Vから0.10 V変化させる事で調整する事もできる。REFIOはシングルサプライアンプ又はDACによりドライブされるため、固定したR_{SET}に対してI_{REF}を変化させる事ができるのである。REFIOの入力インピーダンスはおおよそ1 MΩであるため、ゲインコントロールには単純、低コストR−2Rラダー状DACの電圧モードトポロジーを使用する事もできる。この回路は図26．に示す。この図ではAD7524と外部レファレンスAD1580を使用している。

アナログ出力

既述のとおり、I、Q DACはどちらも2つの相補電流出力を発生し、シングルエンド又はディファレンシャル運用に使われる。I_{IOUTA}及びI_{IOUTB}は、DAC伝達の項の等式(5)から(8)に説明したとおり、負荷抵抗R_{LOAD}を介して相補シングルエンド電圧出力V_{IOUTA}とV_{IOUTB}に転換できる。V_{IOUTA}とV_{IOUTB}間の差動電圧V_{IDIFF}も、変圧器又はディファレンシャルアンプコンフィギュレーションを介してシングルエンド電圧に転換する事ができる。

図27．はAD9761のI(又はQ) DAC出力と等価の回路である。これはPMOS電流ソースが並列になっており、それぞれの電流ソースは差動PMOSスイッチを経由してIOUTA又はIOUTBへスイッチされる。この結果、IOUTA及びIOUTBの等価出力インピーダンスは高い値を維持する。(100 kΩ及び5 pFより高い)

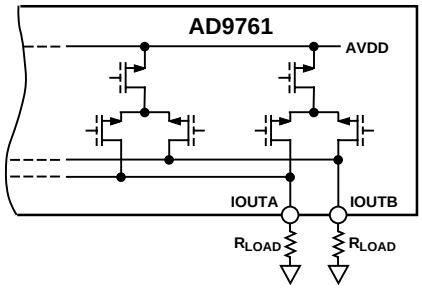


図27．AD9761DAC出力等価回路

IOUTA及びIOUTBは正、負の電圧コンプライアンスレンジを持ち、最高の性能を得るためにはこれに留意しなければならない。負の出力コンプライアンスレンジ、−1 V、はCMOSプロセスのブレークダウンリミットにより設定される。この値を越えた運用は、この最大限界を超えて動作させると出力段のブレークダウンを招きます。

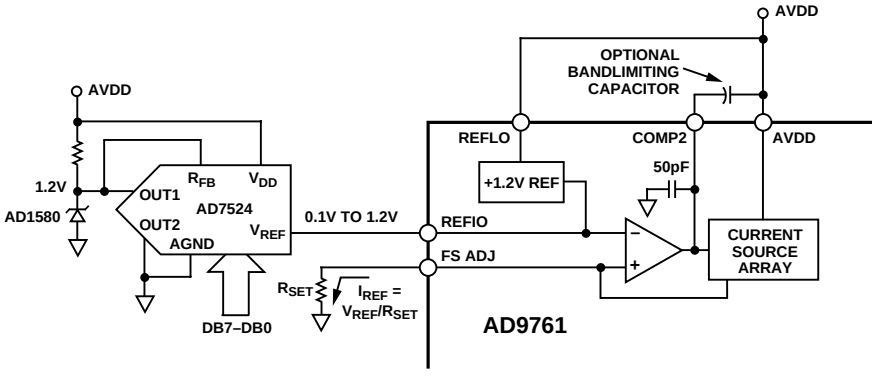


図26．シングルサプライ・ゲインコントロール回路

正の出力コンプライアンスレンジは、フルスケール出力電流I_{OUTFS}にやや依存している。このためにIOUTFS＝10 mAに対応する公称値1.25Vから、IOUTFS＝2 mAに対応する1.00 Vまで、わずかな劣化が現れます。AD9761の出力（すなわちV_{OUTA}及び／又はV_{OUTB}）を、コンプライアンスレンジ一杯に使うアプリケーションにおいては、R_{LOAD}の値をそれに応じた適切な値にする必要があります。このコンプライアンスレンジを越えての運用は、AD9761の直線性性能に影響し、ひいては歪み性能を悪化させる。AD9761の歪み性能を最大にするには、その出力（IOUT（A/B）及びQOUT（A/B））を±0.5 V以内に制限することである。

デジタル入力及びインターリーブインターフェースについて

AD9761デジタルインターフェースには10個のデータ入力ピン、1個のクロック入力ピン、3個のコントロールピンが有る。クロックレートは40MSPSまでサポートしている。10ビットパラレルデータ入力は標準的な正バイナリコーディングを踏襲し、DB9が最上位ビット（MSB）、DB0が最下位ビット（LSB）である。IOUTA（又はQOUTA）は、全てのデータビットがロジック1の時フルスケール出力電流を生成する。IOUTB（またはQOUTB）には、入力コードに対する補数の関係でフルスケール電流を分割した出力電流が現れます。

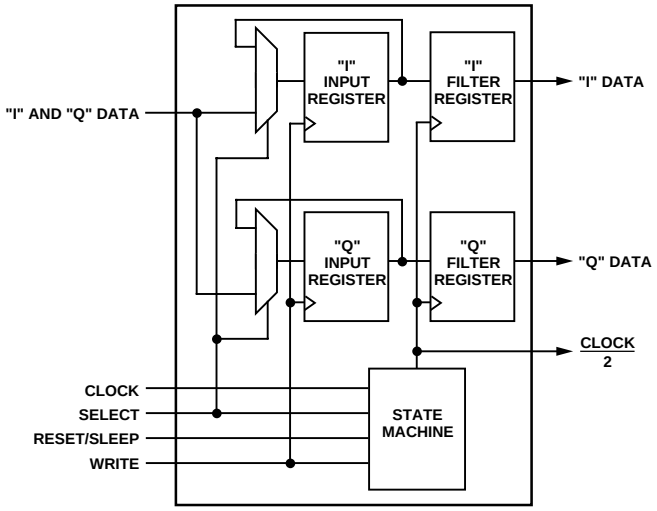


図28．デジタルインターフェースのブロックダイアグラム

AD9761は、インターリーブされたI、Q入力データをサポートするシングル10ビットデジタル入力バスにインターフェースします。図28. はデジタルインターフェース回路を単純化したもので、エッジトリガー作動レジスタ2バンク、マルチプレクサー2基、ステートマシーンが見える。インターリーブされたI、Q入力データはDATA入力バスに与えられ、次にWRITE入力のライジングエッジで、選択されたI、Q入力レジスタへラッチされる。これらの入力レジスタからの出力は、それぞれのQがCLOCK入力ライジングエッジで書き込みを行なった後、ペアを保ったまま次の補間フィルタレジスタへ送られる。ステートマシーンはこの時のI、Qペアリングが確実であるよう動作する。

SELECT信号はWRITE信号のライジングエッジで、どちらの入力レジスタが入力データをラッチするのかを決定する。SELECTが高い時、データはAD9761のIレジスタへラッチされる。SELECTが低いと、Qレジスタへラッチされる。データが繰り返しAD9761に書き込まれる間、SELECTがもしどちらかの状態のままで何も変化しない場合は、選択されたフィルタレジスタへの書き込みは入力データレートの半分のレートで行われる。これはデータが常にインターリーブされていると想定しているからである。

ステートマシーンは分割CLOCK生成を制御しており、従ってI、Qデータ入力のペアリングも制御している。AD9761がリセットされた後、ステートマシーンはペアリングしたI、Qデータを追跡する。ステート推移のダイアグラムを図29. に示す。ここには全てのステートが定義されている。ステートの推移が始まるのは、CLOCKのライジングエッジであり、これはSELECT、WRITE、SLEEPのステータスと同様に現在のステートの機能である。RESETが高い時、ステートマシーンは最初のCLOCKライジングエッジでリセットされる。RESETが低く戻ると、最初のCLOCKライジングエッジでステート推移が始まる。最新のI、Qデータサンプルは、FILTER　DATAステートに入った時に初めてそれぞれ適した補間フィルタへ転送される。

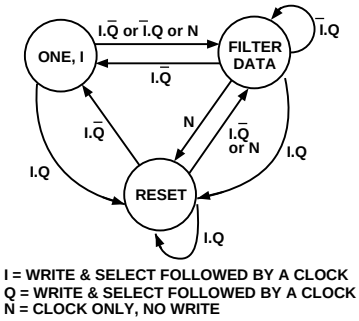


図29．AD9761デジタルインターフェースのステート推移ダイアグラム

I、Qデータのペアリングを確実にするためどのようなデジタルタイミング及びコントロールが必要か、二つの例で説明する。ひとつめは、AD9761はホストプロセッサと専用のデータバスでインターフェースを取っているとする。二つめは、データバスを共有する2基のAD9761が同時にアップデートされる必要が有るとする。どちらの例でも、ステートマシーンはクロックサイクル一回の間にRESET／SLEEP入力にロジックレベル1をかける事でリセットされる。

最初の例では、図30a. に図示するが、SELECTがDATAと同時にアップデートされている間、WRITEとCLOCKは全く同じタイミングになっている。RESETが低くなった時SELECTは高いので、Iデータは最初のWRITEライジングエッジでI入力レジスタへラッチされる。次のWRITEライジングエッジでQデータがQ入力レジスタへラッチされ、同時に、両入力レジスタの出力がそれぞれのI、Qフィルタレジスタへラッチされる。このシークエンスは、再び次のWRITEライジングエッジで次のIデータをI入力レジスタへラッチするというように繰り返される。

第2の例では、図30b. に図示するが、2基のAD9761装置（A、Bとする）が、RESET、SELECT、CLOCK入力と、データバスを共有している。どちらの装置も、RESETが高い時、最初のCLOCKライジングエッジで同時にリセットされる。I、Qデジタルデータはペアとして扱われ、4つのデータサンプルでひとつのグループを形成している。これらのI、Qデータサンプルは、それぞれの装置のI、Qフィルタレジスタへ同時にロードされる。

SELECTはI、Qどちらのデータがバスに与えられるかを決定している。WRITE Aは装置Aに属するI、Qサンプルをラッチし、WRITE Bは装置Bに属するI、Qサンプルをラッチする。WRITE A、Bは、例えば、ホストプロセッサが用意するデータクロックをアドレスデコードロジックでゲートする事で発生させる事もできる。両装置のI、Qフィルタレジスタは、装置Bに属するQサンプルがラッチされると、CLOCKのライジングエッジで同時にロードされる。WRITE A又はWRITE Bは、これを実現するためCLOCKに一致させることもできる。

デジタル入力は、CMOS互換で、ロジックスレッシュホールドを伴い、これはデジタル正電源（DVDD）の約半分にセットされる。$V_{THRESHOLD}$＝DVDD/2（±20%）

AD9761の内部デジタル回路は、デジタル電源レンジ2.7 Vから5.5 Vで動作可能である。このため、DVDDがTTLドライバの最大電圧$V_{OH(MAX)}$を受け付けるようセットされていれば、デジタル入力もTTLレベルを受け付ける事が可能である。DVDDが3 Vから3.3 Vの時、ほとんどのTTLロジックファミリーと互換性を示す。図31. にデータ、スリープ、クロック入力の等価デジタル入力回路を示す。

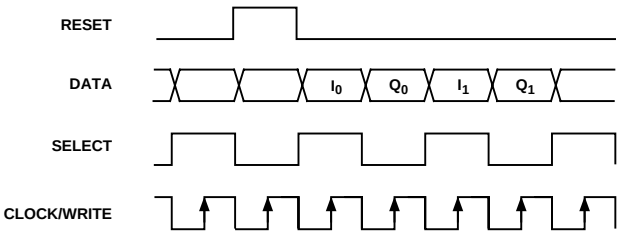


図30a.

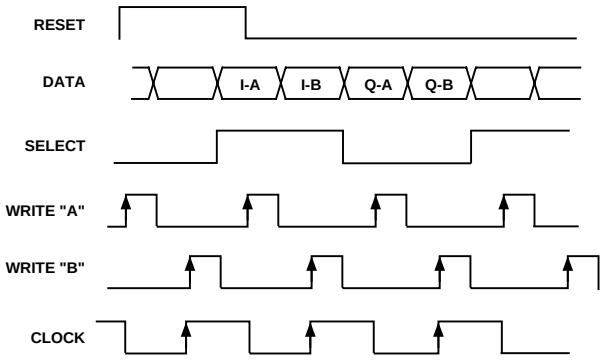


図30b.

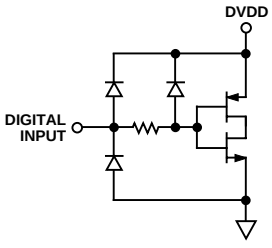


図31．等価デジタル入力

AD9761は最大40MSPSでアップデート出来るため、最大性能を引き出す上では、クロックとデータ入力信号の品質は重要である。デジタルデータインターフェース回路のドライバは、その要求される最低／最高入力ロジックレベルスレッシュホールドと同様、AD9761の求める最小セットアップ／ホールド時間仕様に合致しなければならない。外部クロックドライバ回路は、高速エッジ提供間、AD9761の最低／最高ロジックレベルに合致する低ジッタークロックを供給しなければならない。高速クロックエッジは、復元された波形上に現れるフェイズノイズの元となるジッターを軽減するのに有用である。

デジタル信号パスは、短く、かつ伝播遅延によるミスマッチが発生しないようにランレングスを整合させなければならない。AD9761デジタル入力とドライバ出力の間に、低容量の抵抗ネットワーク（20Ωから100Ω）を挿入する事は、データのフィードスルーに影響するディジタル入力のオーバーシュートとリンギングの低減に効果があります。AD9761をより少ないロジックスイングとこれに対応するDVDDで運用する事も、データフィードスルーを軽減する。

RESET/SLEEPモードオペレーション

RESET/SLEEP入力は、AD9761のパワーダウン、または内部デジタルインターフェースロジックのリセットに使用する事が出来る。RESET/SLEEP入力にロジックレベル1を、1クロックサイクルを超え、4クロックサイクル未満かけつづけた場合、内部ステートマシーンはリセットされる。4クロックサイクル以上かけた場合は、AD9761のパワーダウン機能が働く。この時、出力電流は遮断、電源電流は、仕様にある温度範囲及び電源電圧範囲2.4 Vから5.5 Vの間で9 mAに低下させる。

AD9761のパワーアップ、パワーダウン特性はCOMP1、COMP3に繋がれた補償キャパシタの容量に関係する。これがノミナルで0.1μFの時、AD9761はパワーダウンには5μs未満、パワーバックアップには約3.25 msの時間がかかる。

電力消費

AD9761の電力消費は次のようないくつかの要素が関係する。(1) AVDD、DVDD。供給電源電圧。(2) I_{OUTFS}。フルスケール電流出力。(3) f_{CLOCK}。アップデートレート。(4) 復元されたデジタル入力波形。

電力消費はアナログ電源電流I_{AVDD}、及びデジタル電源電流I_{DVDD}に正比例する。I_{AVDD}は、図32. に示すようにI_{OUTFS}に正比例し、f_{CLOCK}の影響は受けない。

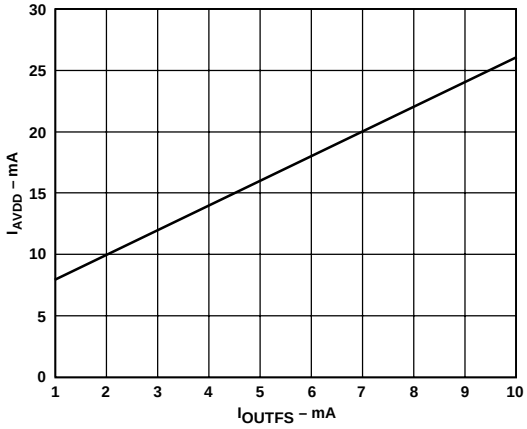


図32．I_{AVDD}対I_{OUTFS}

これと逆に、I_{DVDD}はデジタル入力波形、f_{CLOCK}とデジタル電源電圧DVDD両方に依存する。図33. と図34. に、I_{DVDD}が様々な値のアップデートレートでフルスケールサイン波出力の比(f_{OUT}/f_{CLOCK})に対してどのような値をとるか、DVDD＝5 VとDVDD＝3Vの場合それぞれについて示す。

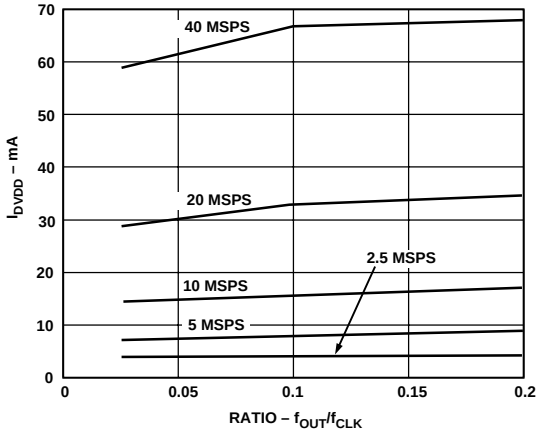


図33．I_{DVDD}対比@DVDD＝5 V

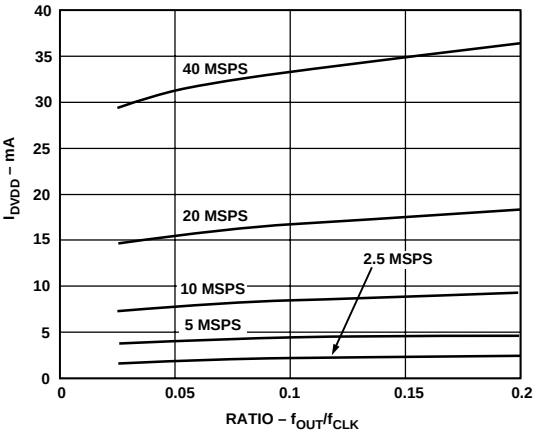


図34．I_{DVDD}対比@DVDD＝3 V

AD9761の適用

出力コンフィギュレーション

以下の項では、AD9761のいくつかの典型的出力コンフィギュレーションについて述べる。特に示す場合を除き、I_{OUTFS}はノミナル10 mAに設定されているものとする。ダイナミックパフォーマンス最大を必要とするアプリケーションでは、ディファレンシャル出力コンフィギュレーションが適している。ディファレンシャル出力コンフィギュレーションは、高周波トランスか、ディファレンシャルオペレーションアンプどちらかが必要である。トランスコンフィギュレーションの場合は、高周波パフォーマンスが最大となり、acカップリングを要するどんなアプリケーションにも向いている。ディファレンシャルオペレーションアンプコンフィギュレーションの場合は、dcカップリングやバイポーラ出力、信号ゲイン、レベルシフトなどを要するアプリケーションに向いている。

シングルエンド出力はユニポーラ電圧出力を要するアプリケーションに向いている。もしIOUTA及び/又はIOUTBが、ACOMに関して適切に調整された負荷抵抗R_{LOAD}に接続されていれば、正のユニポーラ出力電圧が発生する。このコンフィギュレーションは、dcカップルされた接地レファレンス出力電圧を要するシングルサプライシステムにより適している。代替として、アンプをI−V変換器として使いI_{OUTA}又はI_{OUTB}を負のユニポーラ電圧にする方法も有る。このコンフィギュレーションは、IOUTA又はIOUTBが仮想接地されている状態のため、最高のdc直線性を実現する。

トランスを使用したディファレンシャルカップリング

高周波トランスを、図35. のようにしてディファレンシャルからシングルエンド信号への変換器として使用する事も出来る。ディファレンシャルにカップルされたトランス出力は出力信号について最良の歪み性能を発揮する。この出力信号のスペクトル成分は、トランスのパスバンド内に収まっている。Mini-CircuitsのT1−1T等のRFトランスは、同相歪み（つまり偶数倍の高調波）と広い周波数帯域にわたるノイズの除去に優れた効果を発揮します。また、絶縁性能も良く、負荷に対し2倍のパワーを供給する能力が有る。この他、異なるインピーダンス比を持つトランスを使用して、インピーダンスマッチングを図る事も出来る。ただし、トランスはacカップリングにしか使えない事に注意しなければならない。

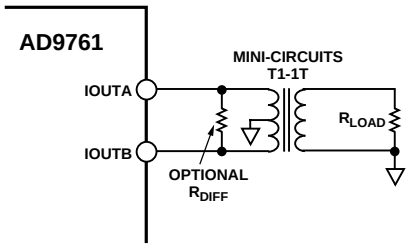


図35．トランスを利用したディファレンシャル出力

トランスプライマリーサイドの中央タップは、I_{OUTA}、I_{OUTB}両方に必要なdc電流パスを供給するためにACOMに接続する。IOUTAとIOUTBに生じる相補電圧（V_{OUTA}、V_{OUTB}）はACOMを中心に対称的にスイングするが、AD9761の出力コンプライアンスレンジに維持されなければならない。ディファレンシャル抵抗R_{DIFF}は、トランス出力を、パッシブ復元フィルタ又はダブルターミネーションを要するケーブルを経由して負荷R_{LOAD}に接続するアプリケーションでは、挿入しても良い。R_{DIFF}は、トランスのインピーダンス比で決まり、プロパーソースターミネーションとして働き、その結果低いVSWRを実現する。信号パワーの約半分がR_{DIFF}で消費される事に注意が必要である。

オペレーションアンプ使用のディファレンシャル

ディファレンシャルからシングルエンド信号への変換は、図36.のようにオペレーションアンプを使用しても可能である。AD9761には2つの50Ω負荷抵抗R_{LOAD}が取り付けられている。IOUTAとIOUTB間で発生した電圧差はディファレンシャルオペレーションアンプコンフィギュレーションを介してシングルエンド信号に変換される。オプションとしてIOUTAとIOUTBの間にキャパシタを挿入し、ローパスフィルタの実際の極を形成する事も出来る。このキャパシタ挿入を行なうと、DACの高スルーイング(slewing)出力がオペレーションアンプ入力の過負荷を予防し、オペレーションアンプの歪み性能を更に高める事になる。

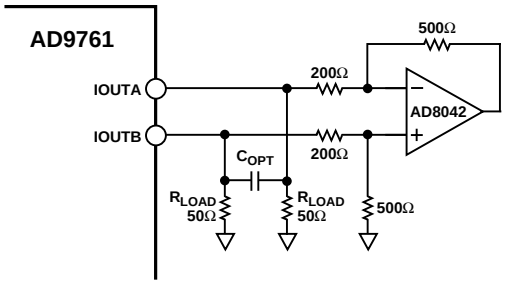


図36．オペレーションアンプを使用したDCディファレンシャルカップリング

このコンフィギュレーションでのコモンモード除去は抵抗マッチングにより決定される。この回路では、AD8042を使用したディファレンシャルオペレーションアンプ回路を、いくらかの信号ゲインを追加するように設定する。オペレーションアンプはその出力が約±1.0 Vであるので、必ずデュアルサプライにより動作させなければならない。コスト、パワーなどの他のシステムレベルの目的に合致し、かつAD9761のディファレンシャルパフォーマンスを維持する高速なアンプを選択するべきである。オペレーションアンプディファレンシャルゲイン、そのゲインセッティング抵抗値、フルスケール出力スイング性能、は、回路を最適化する際には十分考慮を払う必要があります。

図37.に示すディファレンシャル回路では、シングルサプライシステムで必要となるレベルシフティングを供給している。この場合、AVDD、つまりAD9761とオペレーションアンプ双方への正のアナログ電源、は、AD9761のディファレンシャル出力をミッドサプライ(AVDD／2)にレベルシフトするのにも使用されている。

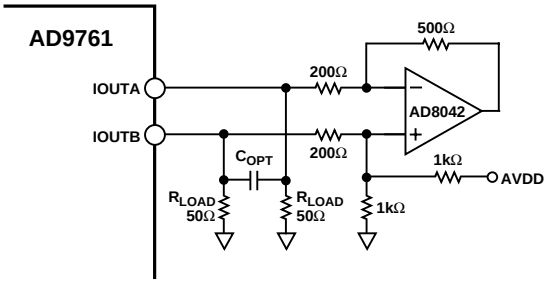


図37．シングルサプライDCディファレンシャルカップルド回路

シングルエンドでバッファ無しの電圧出力

図38．では、AD9761は、10 mAノミナルフルスケール電流I_{OUTFS}が50ΩR_{LOAD}を通るために出力レンジが0 Vから＋0.5 Vのユニポーラ出力を供給するようになっている。両端終端されたローパスフィルタの場合、R_{LOAD}はIOUTA又はIOUTBから見た等価な負荷抵抗を表します。使用されない出力(IOUTA又はIOUTB)は、ACOMに直接又はマッチングしたR_{LOAD}を経由して繋いでも良い。正コンプライアンスレンジがしっかり守られる限り、I_{OUTFS}とR_{LOAD}の値を色々変えてみても良い。

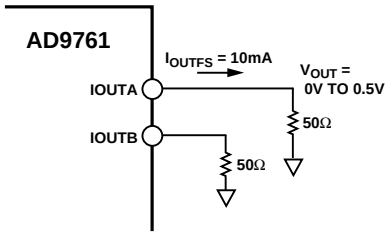
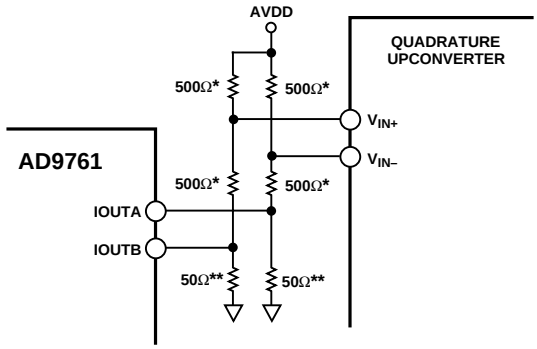


図38．0 Vから＋0.5 V バッファ無し電圧出力

ディファレンシャル、DCカップルド出力コンフィギュレーション、レベルシフト有り

アプリケーションによっては、単電源直交アップコンバータとインターフェースするためのAD9761ディファレンシャル出力を必要とする場合がある。ほとんどのこういう装置はディファレンシャル入力を持っているにもかかわらず、そのコモンモード電圧レンジは接地までを範囲にしていない。このため、図38. にあるような接地レファレンス出力信号は、単電源直交アップコンバータの持つコモンモードレンジにレベルシフトしなければならない。図39. にレベルシフト機能を持つ抵抗プルアップネットワークを付加した場合を示す。マッチングされた抵抗ネットワークを使用すると、I、Qチャネル間の最大ゲインマッチングと最小オフセットパフォーマンスを維持する事が出来る。ここで、抵抗プルアップネットワークは、約6dBの信号減衰を伴う事を注意しなければならない。



*OHMTEK TO MC-1603-5000D
**OHMTEK TO MC-1603-1000D

図39．ディファレンシャル、DCカップルド出力コンフィギュレーション、レベルシフト有り

電源と接地に関する注意点

スピードとハイパフォーマンスを同時に求めるシステムでは、プリント基盤の設計が回路自体の設計と同等に重要な場合がある。デバイスの選択、取り付け位置とルーティング、電源のバイパスと接地には、適切なRF技術が必要である。AD9761の評価用ボードは4層のPCボードで、上記の点について良い参考になる。このボードには、プリント基盤の接地、電源、信号プレーンレイアウトの推奨見本が示してある。

高速、高レゾリューションシステムでは、適切な接地、デカップリングが重要である。AD9761は独立したアナログ及びデジタル電源と接地ピンを採用し、システムのアナログおよびディジタル接地

電流マネージメント最適化を図っている。一般的に、アナログ電源AVDDは、アナログコモンACOMに物理的にできるだけ近いところでデカップリングしなければならない。デジタル電源DVDDも同様に、DCOMに出来る限り近いところでデカップリングしなければならない。

アナログ、デジタル電源ともにシングル＋5 V又は＋3 V電源を要するアプリケーションでは、図40. のようにするとクリーンなアナログ電源が生成できる。この回路はディファレンシャルLCフィルタと、別々の電源及びリターンラインを持っている。低ESRタイプの電解質・タンタル（electrolytic and tantalum）キャパシタを使用すればノイズを更に低減できるであろう。

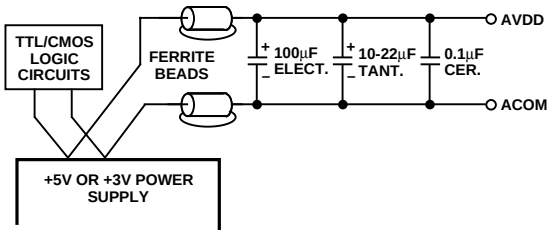


図40．シングル＋5 V又は＋3 Vアプリケーション用ディファレンシャルLCフィルタ

電源及び接地で低ノイズを維持する事は、AD9761の性能を左右する重大事項である。インプリメントが適切ならば、接地プレーンは、バイパス、シールド、電流搬送など、高速回路ボード機能のホストになる事が出来る。混合信号設計にあたっては、アナログ部とデジタル部ははっきり分けなくてはならず、アナログ接地プレーンはアナログ信号をカバーする範囲のみに限定し、デジタル接地プレーンはデジタル信号が行き交う範囲のみに限定しなくてはならない。

DAC、レファレンス及びその他のアナログコンポーネントの全てのアナログ接地ピンは、アナログ接地プレーンに直接繋げなくてはならない。最適性能を維持するため、2つのグラウンド面をDACの下側あるいはそれから1/2インチ以内の個所で、1/8インチから1/4インチの幅のパスを使って接続して下さい。接地プレーンが、大きな信号のパスの影響を受けないように、特に気をつけなければならない。デジタル側では、この信号パスはすべてのクロック信号や、DACに繋がるデジタル入力ラインである。アナログ側では、これはDAC出力信号、レファレンス信号、電源フィーダーである。

パワーラインのルーティングでは、幅広の経路やプレーンの使用が推奨できる。このことにより、二つの効果が同時に得られる。ひとつは、パーツに低直列インピーダンス電力供給が出来る事。もうひとつは、適切な接地プレーンに対し、いくつかの「フリー」キャパシティブデカップリングを提供する事である。信号接地パスでの不必要な電圧降下を予防するため、信号と電力接地の相互接続レイアウトには、細心の注意が必要である。異なる電流間の電導パスシェアリング（the sharing of conduction paths）を出来るだけ少なくするため、全ての接続部は短く、直接、かつパッケージに物理的に出来る限り近づける事が望ましい。経路が1インチを越える長さになる場合、適切な終端抵抗を用いたストリップライン技術を使用する事も考えたほうが良い。この抵抗の必要性と値は、使われているロジックファミリーに依存する。

高速、混合信号プリント回路ボードについての更に詳細な情報は、Analog Devices社のアプリケーションノートAN－280、AN－333を参照の事。

アプリケーション

AD9761のQAM変調利用

QAMは、デジタルコミュニケーションシステムでは最も広く使われているデジタル変調スキームの一つである。この変調技術は、FDMや、スペクトラム拡散（CDMA）ベースのシステムで見つける事が出来る。QAM信号とは、振幅変調（AM変調）とフェーズ変調（PM変調）両方で変調されたキャリア周波数である。これは、同一周波数で90度フェーズがずれている二つのキャリアを別個に変調する事で生成される。これにより、イン－フェイズ（I）キャリアコンポーネントと、これに90度シフトしたクオドラチュア（Q）キャリアコンポーネントとができる。I及びQコンポーネントは合計されて、特定のキャリア周波数でのQAM信号となる。

一般的でよく使われるQAM変調方法は、図41. に示す。変調は、アナログドメインで実行され、ここで二つのDACがそれぞれベースバンドのI、Qコンポーネントを生成する。それぞれのコンポーネントは、クオドラチュアミキサーにかかる前にナイキストフィルタに送られる。マッチングされたナイキストフィルタは、それぞれのコンポーネントのスペクトラルエンビロープを整形及び制限し、同時にインターシンボル干渉を最小限に抑える。DACは、通常QAMシンボルレートでアップデートされるか、又は補間フィルタがDACの上流に装備されている場合は、シンボルレートの倍数のレートでアップデートされる。補間フィルタを使用すると、二つのベースバンドチャネル間ゲインやフェーズのミスマッチの主因となるアナログフィルタの弊害を取り除く事が出来る。クオドラチュアミキサーはインフェーズ及びクオドラチュアフェーズキャリアでI、Qコンポーネントを変調し、二つを合計してQAM信号にする。

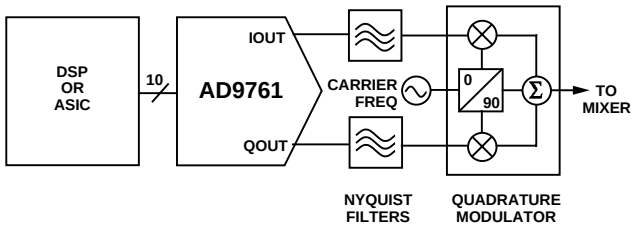


図41．典型的QAMアーキテクチャ

評価ボード

AD9761－EBは、AD9761デュアル10ビット、40MSPS DACの評価用ボードである。この製品のプロトタイプエリアのレイアウト、回路設計を参考にする事により、ユーザーはAD9761を容易にかつ効果的に評価する事が出来る。このボードは、ユーザーの利便のため、AD9761のDACそれぞれをシングルエンド、又はディファレンシャル出力コンフィギュレーションで使用する事が出来る。DACのシングルエンド出力は、50Ω抵抗で終端処理されている。トランス結合された出力を評価するには、空いているソケットにMinicircuit社のトランス（モデルT2－1Tなど）を挿入するだけで可能である。

デジタル入力は、適切な負荷終端処理のための抵抗ネットワークをオンボードに追加できるオプションとともに、様々なワードジェネレータから直接ドライブされるように設計されている。セパレートの50Ω終端処理済SMAコネクタは、CLOCK、WRITE、SELECT入力にも使用できる。AD9761を内部又は外部レファレンスとともに動作させる、或いはパワーダウン機能を試行する機能についても用意されている。

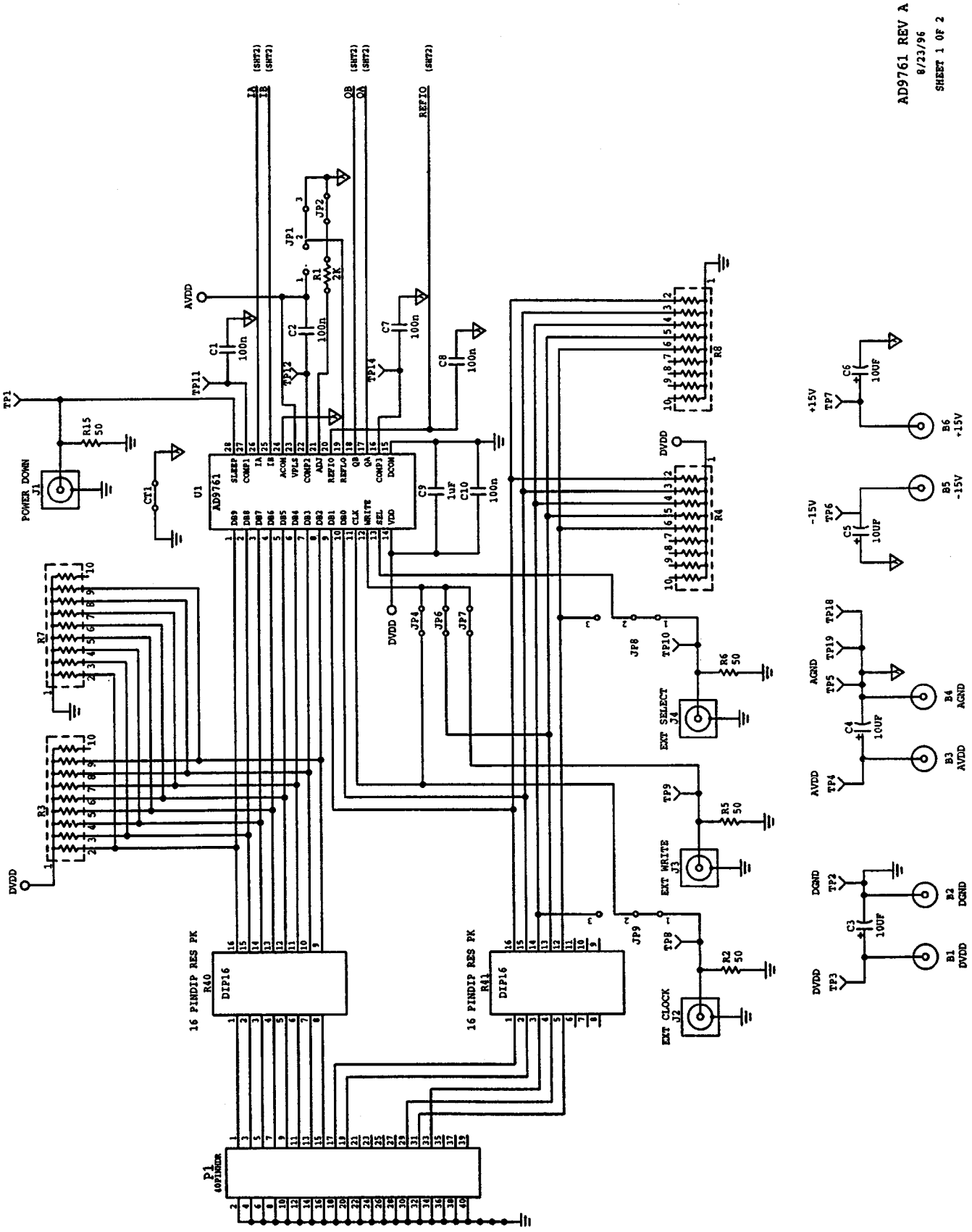


図42a．評価ボードスキーマチック

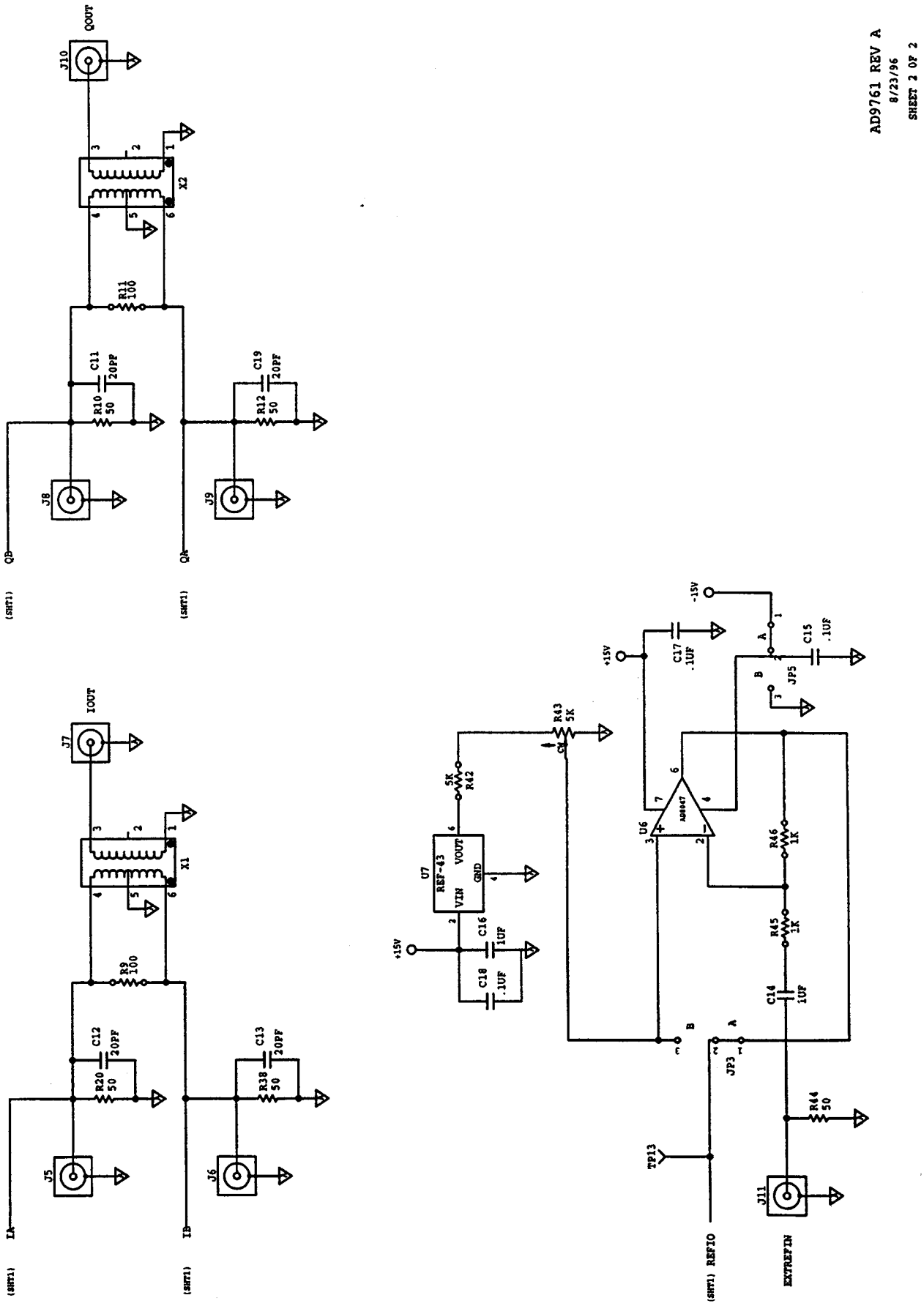


図42b．評価ボードスキーマチック

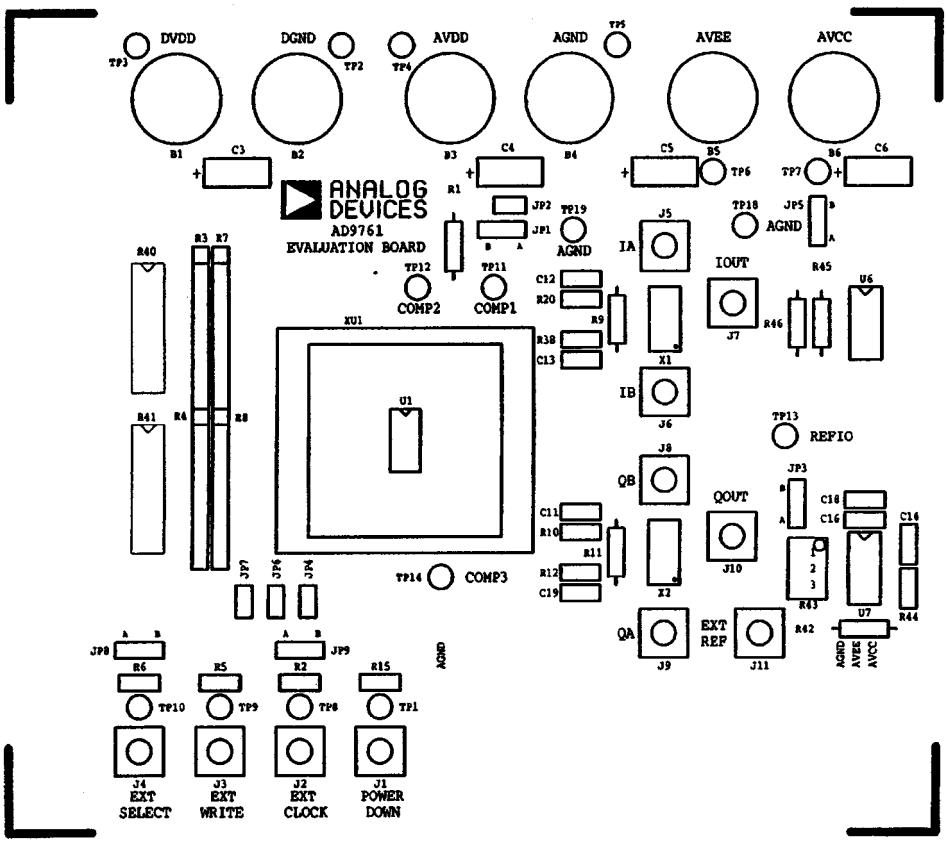


図43．シルクスクリーンレイヤー－トップ

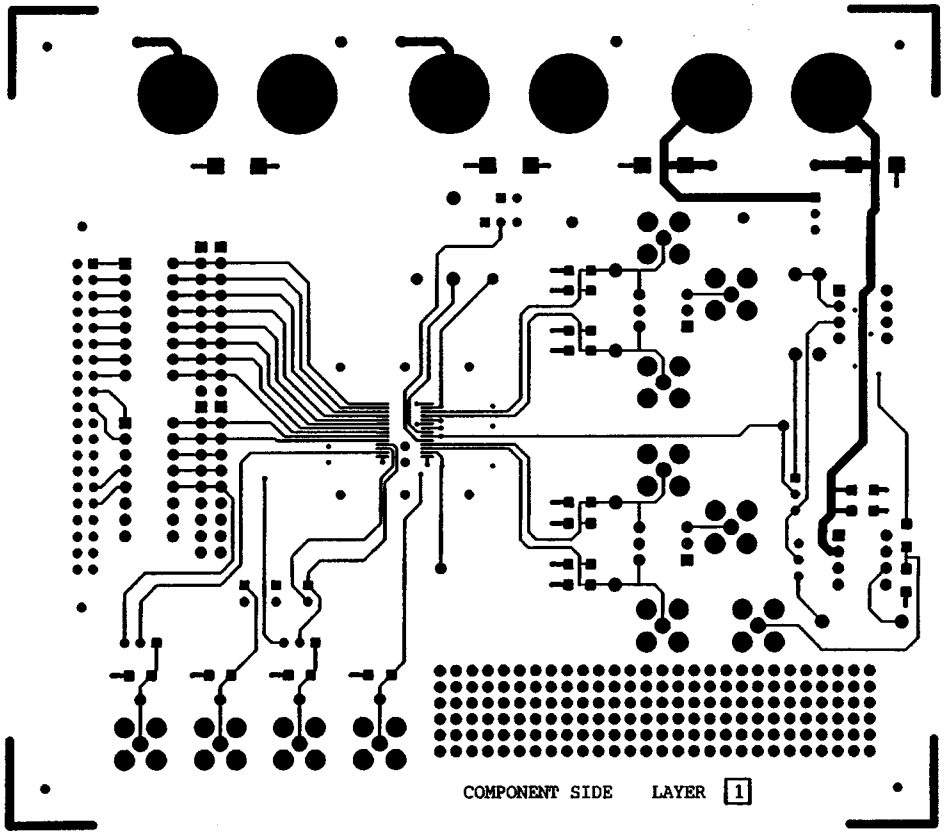


図44．コンポーネント側 PCBレイアウト（レイヤー1）

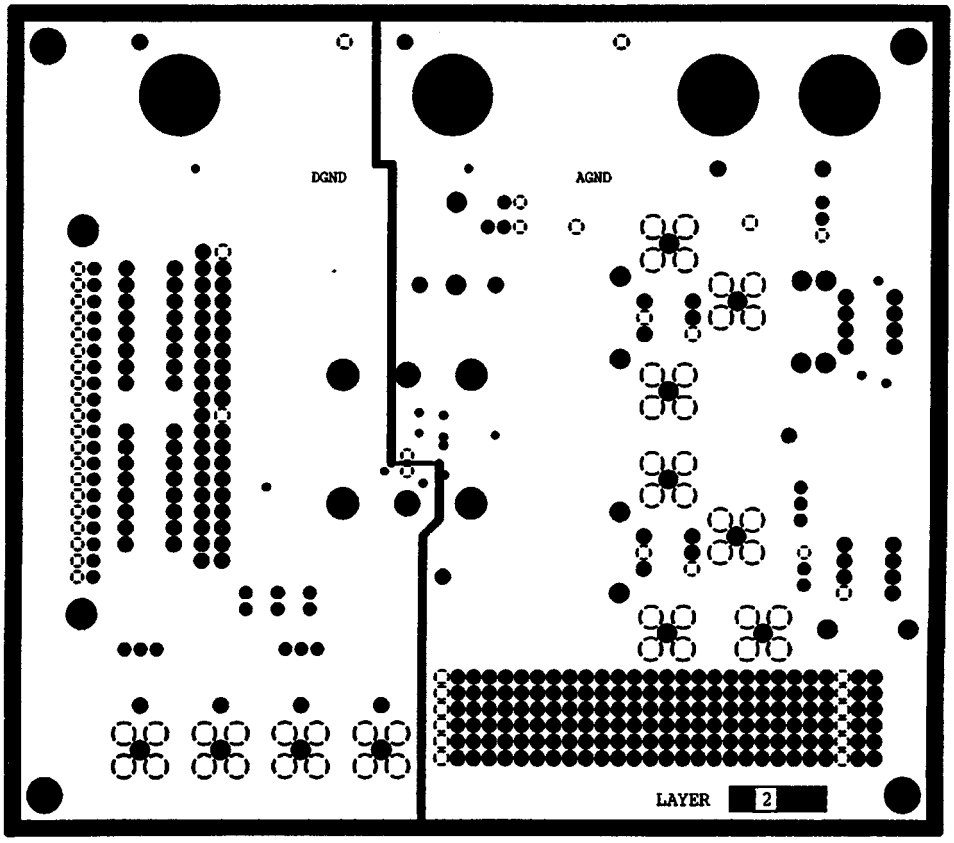


図45．接地プレーン PCBレイアウト（レイヤー2）

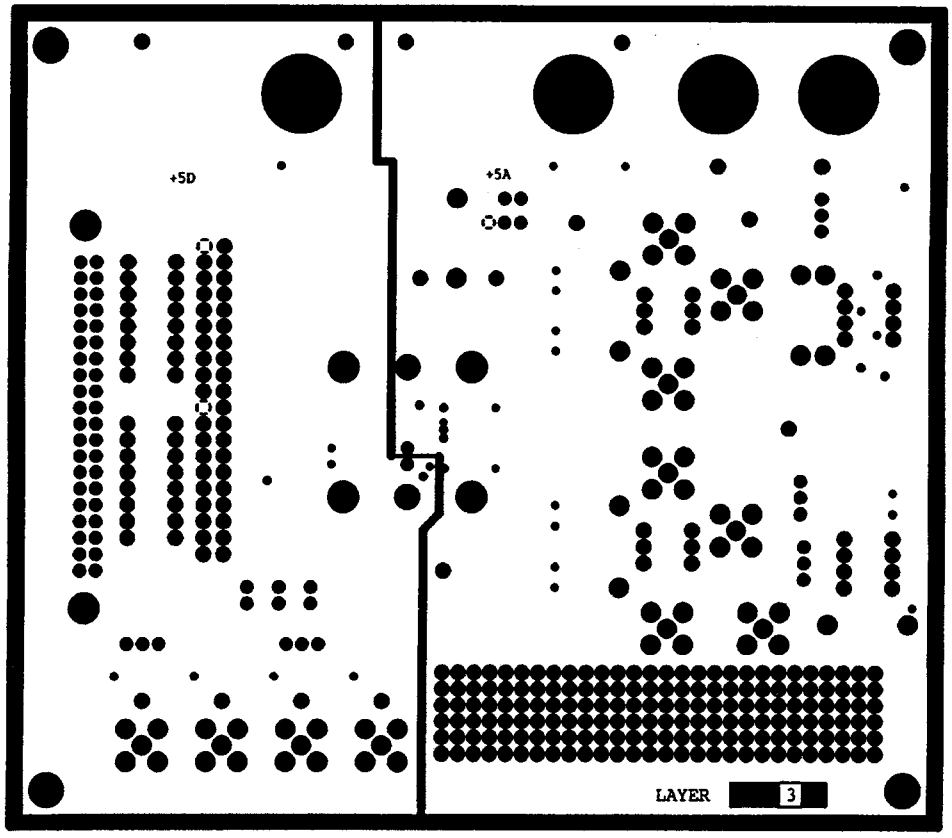


図46．電源プレーン PCBレイアウト（レイヤー3）

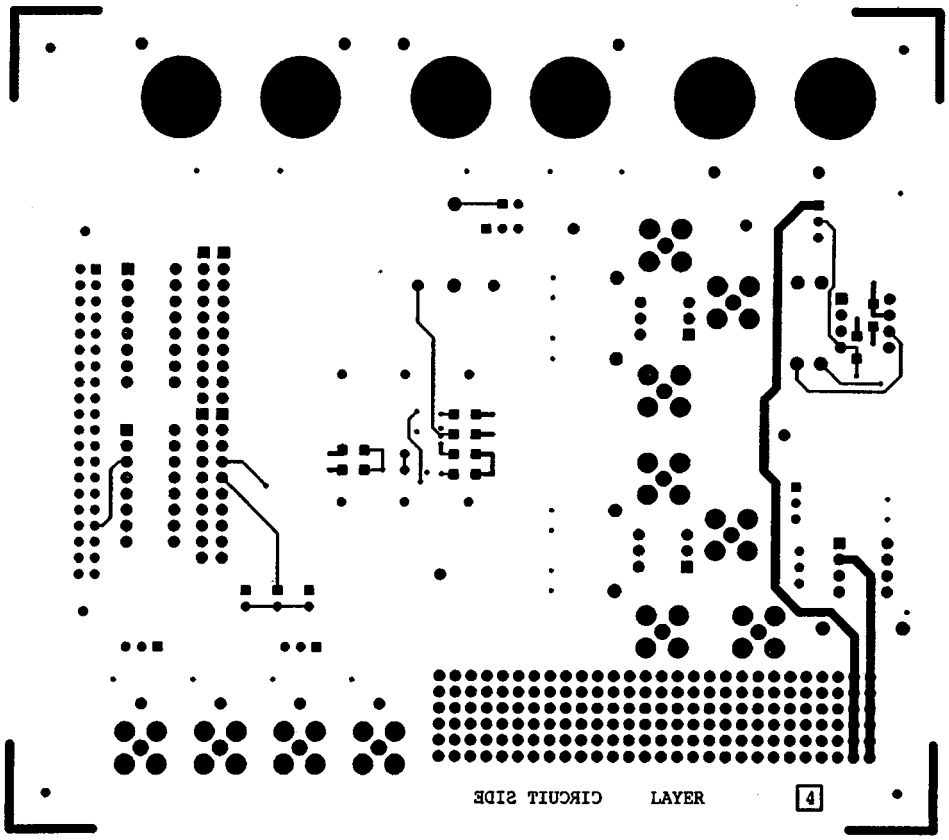


図47．ハンダ付け側 PCBレイアウト（レイヤー4）

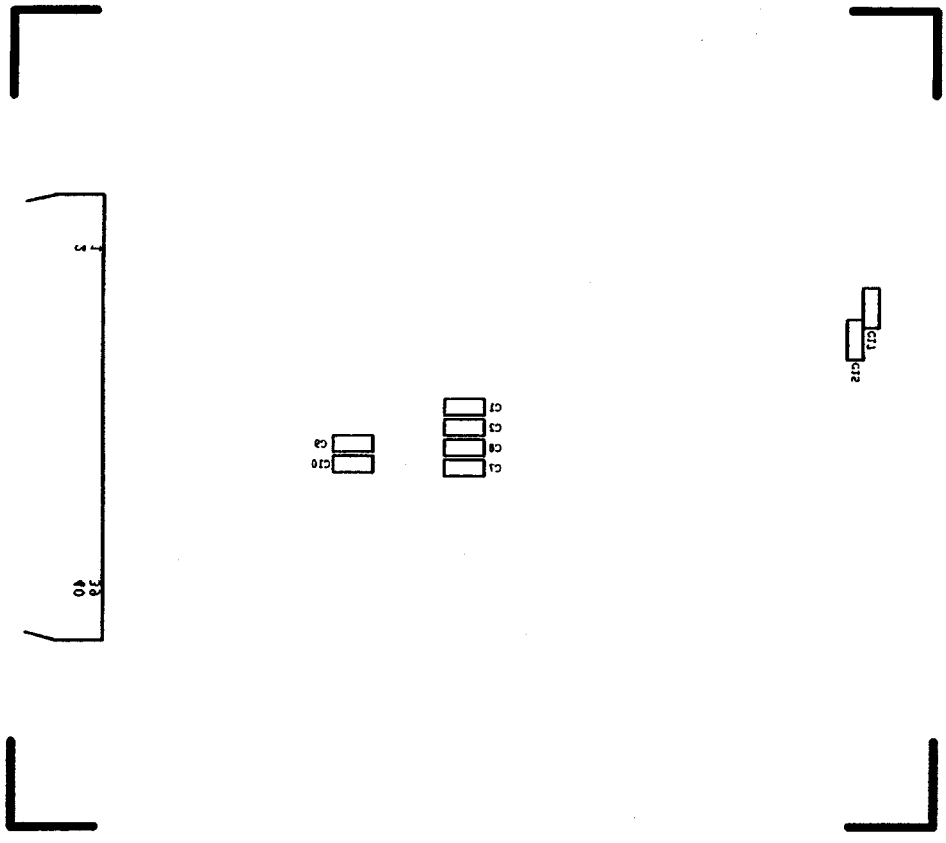
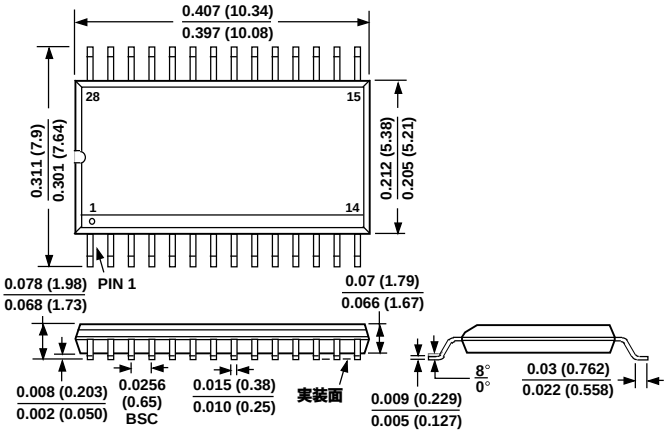


図48．シルクスクリーンレイヤー－（ボトム）

外形寸法

サイズはインチと（mm）で示します。

28－Lead、シュリンクスモールアウトラインパッケージ（SSOP）
（RS－28）



D478-2.7-5/99,1A

PRINTED IN JAPAN

「この取扱説明書はエコマーク認定の再生紙を使用しています。」